

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Daisaburo TAKASHIMA

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of **35 U.S.C. §120**.

☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:
Application No. Date Filed

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-329851	September 22, 2003
Japan	2003-429163	December 25, 2003

Certified copies of the corresponding Convention Application(s)

☒ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

☐ were filed in prior application Serial No. _____ filed _____

☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.

☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and

☐ (B) Application Serial No.(s)

☐ are submitted herewith

☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

C. Irvin McClelland
Registration Number 21,124

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 9 月 2 2 日
Date of Application:

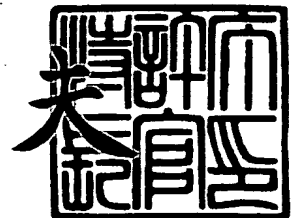
出 願 番 号 特 願 2 0 0 3 - 3 2 9 8 5 1
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 3 2 9 8 5 1]

出 願 人 株式会社東芝
Applicant(s):

2 0 0 3 年 1 2 月 9 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



【書類名】 特許願
【整理番号】 A000302799
【提出日】 平成15年 9月22日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 29/76
H01L 27/10
【発明者】
【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ
レクトロニクスセンター内
【氏名】 高島 大三郎
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100091351
【弁理士】
【氏名又は名称】 河野 哲
【選任した代理人】
【識別番号】 100088683
【弁理士】
【氏名又は名称】 中村 誠
【選任した代理人】
【識別番号】 100108855
【弁理士】
【氏名又は名称】 蔵田 昌俊
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男
【選任した代理人】
【識別番号】 100092196
【弁理士】
【氏名又は名称】 橋本 良郎
【手数料の表示】
【予納台帳番号】 011567
【納付金額】 21,000円
【提出物件の目録】
【物件名】 特許請求の範囲 1
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【書類名】 特許請求の範囲**【請求項 1】**

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第 1 メモリセルと、

前記複数の第 1 メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第 1 ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を第 1 プレート線として、ソース端子を前記第 1 プレート線と接続され、且つドレイン端子を前記第 1 ローカルビット線と接続された、第 1 リセットトランジスタと、

ソース端子を前記第 1 ローカルビット線と接続され、且つドレイン端子を第 1 ビット線と接続された、第 1 ブロック選択トランジスタと、

を具備する第 1 メモリセルブロックを有することを特徴とする半導体集積回路装置。

【請求項 2】

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第 2 メモリセルと、

前記複数の第 2 メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第 2 ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を前記第 1 プレート線と異なる第 2 プレート線として、ソース端子を前記第 2 プレート線と接続され、且つドレイン端子を前記第 2 ローカルビット線と接続された、第 2 リセットトランジスタと、

ソース端子を前記第 2 ローカルビット線と接続され、且つドレイン端子を第 2 ビット線と接続された、第 2 ブロック選択トランジスタと、

を具備する第 2 メモリセルブロックをさらに有し、

前記第 1 ブロック選択トランジスタのゲート端子に供給される第 1 ブロック選択信号と、前記第 2 ブロック選択トランジスタのゲート端子に供給される第 2 ブロック選択信号とは異なることを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 3】

請求項 1 または 2 に記載の半導体集積回路装置において、スタンバイ時、前記セルトランジスタはオン状態とされ、且つアクティブ時、選択された前記第 1 メモリセル以外の前記第 1 メモリセルの前記セルトランジスタはオフ状態とされる、ことを特徴とする半導体集積回路装置。

【請求項 4】

請求項 3 に記載の半導体集積回路装置において、スタンバイ時、前記第 1 リセットトランジスタはオン状態とされ、前記第 1 ブロック選択トランジスタはオフ状態とされることを特徴とする半導体集積回路装置。

【請求項 5】

請求項 1 または 2 に記載の半導体集積回路装置において、スタンバイ時、前記第 1 プレート線は接地電位とされ、且つアクティブ時、選択されない前記第 1 メモリセルの前記ワード線の電位は、選択された前記第 1 メモリセルの前記ワード線の電位より、低くされることを特徴とする半導体集積回路装置。

【請求項 6】

請求項 1 または 2 に記載の半導体集積回路装置において、スタンバイ時、前記第 1 プレート線は接地電位より高い電位とされることを特徴とする半導体集積回路装置。

【請求項 7】

請求項 1 または 2 に記載の半導体集積回路装置において、アクティブ時、前記第 1 プレート線の電位は、ローレベルからハイレベル、およびハイレベルからローレベルに駆動されることを特徴とする半導体集積回路装置。

【請求項 8】

請求項 2 に記載の半導体集積回路装置において、アクティブ時、前記第 1 プレート線または前記第 2 プレート線のいずれかの電位は、ローレベルからハイレベル、およびハイレ

ベルからローレベルに駆動されることを特徴とする半導体集積回路装置。

【請求項 9】

請求項 1 に記載の半導体集積回路装置において、アクティブ時、前記第 1 ブロック選択トランジスタはオン状態とされることを特徴とする半導体集積回路装置。

【請求項 10】

請求項 2 に記載の半導体集積回路装置において、アクティブ時、前記第 1 ブロック選択トランジスタまたは第 2 ブロック選択トランジスタはオン状態とされることを特徴とする半導体集積回路装置。

【請求項 11】

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第 2 メモリセルと、

前記複数の第 2 メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第 2 ローカルビット線として、ソース端子を前記第 1 プレート線と接続され、且つドレイン端子を前記第 2 ローカルビット線と接続された、第 2 リセットトランジスタと、

ソース端子を前記第 2 ローカルビット線と接続され、且つドレイン端子を第 2 ビット線と接続された、第 2 ブロック選択トランジスタと、

を具備する第 2 メモリセルブロックをさらに有することを特徴とする請求項 1 に記載の半導体集積回路装置。

【請求項 12】

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第 1 メモリセルと、

前記複数の第 1 メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第 1 ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を第 1 プレート線として、ソース端子を第 1 電源と接続され、且つドレイン端子を前記第 1 ローカルビット線と接続された、第 1 リセットトランジスタと、

ソース端子を前記第 1 ローカルビット線と接続され、且つドレイン端子を第 1 ビット線と接続された、第 1 ブロック選択トランジスタと、

を具備する第 1 メモリセルブロックを有することを特徴とする半導体集積回路装置。

【請求項 13】

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第 2 メモリセルと、

前記複数の第 2 メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第 2 ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を前記第 1 プレート線と異なる第 2 プレート線として、ソース端子を前記第 1 電源と接続され、且つドレイン端子を前記第 2 ローカルビット線と接続された、第 2 リセットトランジスタと、

ソース端子を前記第 2 ローカルビット線と接続され、且つドレイン端子を第 2 ビット線と接続された、第 2 ブロック選択トランジスタと、

を具備する第 2 メモリセルブロックをさらに有し、

前記第 1 ブロック選択トランジスタのゲート端子に供給される第 1 ブロック選択信号と、前記第 2 ブロック選択トランジスタのゲート端子に供給される第 2 ブロック選択信号とは異なることを特徴とする請求項 12 に記載の半導体集積回路装置。

【請求項 14】

請求項 12 または 13 に記載の半導体集積回路装置において、スタンバイ時、前記セルトランジスタはオン状態とされ、且つアクティブ時、選択された前記第 1 メモリセル以外の前記第 1 メモリセルの前記セルトランジスタはオフ状態とされる、ことを特徴とする半導体集積回路装置。

【請求項 15】



請求項 14 に記載の半導体集積回路装置において、スタンバイ時、前記第 1 リセットトランジスタはオン状態とされ、前記第 1 ブロック選択トランジスタはオフ状態とされることを特徴とする半導体集積回路装置。

【請求項 16】

請求項 15 に記載の半導体集積回路装置において、スタンバイ時、前記第 1 電源の電位は、前記プレート線の電位と同じであることを特徴とする半導体集積回路装置。

【請求項 17】

請求項 12 または 13 に記載の半導体集積回路装置において、スタンバイ時、前記第 1 プレート線は接地電位とされ、且つアクティブ時、選択されない前記第 1 メモリセルの前記ワード線の電位は、選択された前記第 1 メモリセルの前記ワード線の電位より、低くされることを特徴とする半導体集積回路装置。

【請求項 18】

請求項 12 または 13 に記載の半導体集積回路装置において、スタンバイ時、前記第 1 プレート線は接地電位より高い電位とされることを特徴とする半導体集積回路装置。

【請求項 19】

請求項 12 または 13 に記載の半導体集積回路装置において、アクティブ時、前記第 1 プレート線の電位は、ローレベルからハイレベル、およびハイレベルからローレベルに駆動されることを特徴とする半導体集積回路装置。

【請求項 20】

請求項 12 または 13 に記載の半導体集積回路装置において、アクティブ時、前記第 1 プレート線または前記第 2 プレート線のいずれかの電位は、ローレベルからハイレベル、およびハイレベルからローレベルに駆動されることを特徴とする半導体集積回路装置。

【請求項 21】

請求項 12 に記載の半導体集積回路装置において、アクティブ時、前記第 1 ブロック選択トランジスタはオン状態とされることを特徴とする半導体集積回路装置。

【請求項 22】

請求項 13 に記載の半導体集積回路装置において、アクティブ時、前記第 1 ブロック選択トランジスタまたは第 2 ブロック選択トランジスタはオン状態とされることを特徴とする半導体集積回路装置。

【請求項 23】

ゲートを前記第 1 ローカルビット線と接続され、且つドレインを前記第 2 ビット線と接続され、且つソースを第 2 電源と接続された、第 1 増幅トランジスタと、

ゲートを前記第 2 ローカルビット線と接続され、且つドレインを前記第 1 ビット線と接続され、且つソースを前記第 2 電源または第 3 電源と接続された、第 2 増幅トランジスタと、

をさらに具備することを特徴とする請求項 2 または 13 に記載の半導体集積回路装置。

【請求項 24】

請求項 23 に記載の半導体集積回路装置において、アクティブ時、前記第 1 プレート線が選択されることにより前記第 1 メモリセルブロック内の選択された前記第 1 メモリセルから前記第 1 ローカルビット線に第 1 データが読み出され、

前記第 1 データが、前記第 1 増幅トランジスタにより増幅されることにより生成された第 1 増幅信号が前記第 2 ビット線に読み出され、

前記第 2 ビット線に読み出された増幅信号が前記第 1 ビット線および第 2 ビット線と接続されたセンスアンプにより増幅されることにより、前記第 1 増幅信号と相補の第 2 増幅信号が前記第 1 ビット線上に生成され、

前記第 2 増幅信号が、前記第 1 メモリセルブロックの前記第 1 ブロック選択トランジスタを介して前記選択された第 1 メモリセルに前記データが書き戻される、

ことを特徴とする半導体集積回路装置。

【請求項 25】

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトラン

ジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数のメモリセルと、

前記複数のメモリセルのそれぞれの前記セルトランジスタのドレイン端子をローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端をプレート線として、ソース端子を前記ローカルビット線と接続されたブロック選択トランジスタと、

を具備する第1メモリセルブロックおよび第2メモリセルブロックを有するメモリセルアレイを有し、

前記第1メモリセルブロックおよび前記第2メモリセルブロックの前記ブロック選択トランジスタのドレイン端子はビット線と接続され、

スタンバイ時、前記第1メモリセルブロックおよび前記第2メモリセルブロックの前記セルトランジスタおよび前記ブロック選択トランジスタはオンとされ、

アクティブ時、前記第1メモリセルブロックの前記ブロック選択トランジスタはオフとされ、且つ前記第1メモリセルブロック内の選択された前記メモリセル以外の前記メモリセルの前記セルトランジスタはオフとされる、

ことを特徴とする半導体集積回路装置。

【請求項26】

それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのドレイン端子に一端を接続された強誘電体キャパシタと、を具備する複数のメモリセルと、

前記複数のメモリセルのそれぞれの前記セルトランジスタのソース端子をプレート線とし且つそれぞれの前記強誘電体キャパシタの他端をローカルビット線として、ソース端子を前記プレート線と接続され、且つドレイン端子を前記ローカルビット線と接続された、リセットトランジスタと、

ソース端子を前記ローカルビット線と接続され、且つドレイン端子をビット線と接続された、ブロック選択トランジスタと、

を具備するメモリセルブロックを有することを特徴とする半導体集積回路装置。

【請求項27】

半導体基板と、

前記半導体基板の表面に配設された複数のセルトランジスタと、

前記複数のセルトランジスタの上方に配設され、且つ前記複数のセルトランジスタのソース／ドレイン拡散層の一方と電氣的に接続された、ローカルビット線と、

前記ローカルビット線の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の他方とそれぞれ電氣的に接続された下部電極と、上部電極と、を有する、前記セルトランジスタと同数の強誘電体キャパシタと、

前記上部電極の上方に配設され、且つ前記上部電極と電氣的に接続された、プレート線と、

前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電氣的に接続され、且つ他方を前記ローカルビット線と電氣的に接続された、リセットトランジスタと、

前記半導体基板の表面に配設され、且つ前記ソース／ドレイン拡散層の一方を前記プレート線の上方に配設されたビット線と電氣的に接続され、且つ他方を前記ローカルビット線と電氣的に接続された、ブロック選択トランジスタと、

を具備することを特徴とする半導体集積回路装置。

【請求項28】

前記セルトランジスタの前記ソース／ドレイン拡散層の一方および他方は、平面においてゲート電極の延在方向に沿った第1方向軸上の座標の値が異なることを特徴とする請求項27に記載の半導体集積回路装置。

【請求項29】

半導体基板と、

前記半導体基板の表面に配設された複数のセルトランジスタと、

前記半導体基板の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の一方とそれぞれ電氣的に接続された下部電極と、上部電極と、を有する、前記セルトランジスタと同数の強誘電体キャパシタと、

前記上部電極の上方に配設され、且つ前記上部電極と電氣的に接続された、プレート線と、

前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電氣的に接続された、リセットトランジスタと、

前記半導体基板の表面に配設され、且つ前記ソース／ドレイン拡散層の一方を前記プレート線の上方に配設されたビット線と電氣的に接続された、ブロック選択トランジスタと

、
平面において前記セルトランジスタのゲート電極を横切って前記半導体基板の表面に形成され、且つ前記リセットトランジスタのソース／ドレイン拡散層の他方と前記ブロック選択トランジスタのソース／ドレイン拡散層の他方とを電氣的に接続する、第1能動領域と、

平面において前記セルトランジスタのゲート電極の延在方向に沿って前記半導体基板の表面に前記第1能動領域と接続して形成され、前記複数のセルトランジスタのソース／ドレイン拡散層の他方と前記リセットトランジスタのソース／ドレイン拡散層の他方とを電氣的に接続する、複数の第2能動領域と、

を具備することを特徴とする半導体集積回路装置。

【請求項30】

半導体基板上に形成された請求項1乃至29のいずれかに記載の前記半導体集積回路装置と、

前記半導体基板上に形成されたロジック回路と、

を具備することを特徴とする半導体集積回路装置。

【書類名】 明細書

【発明の名称】 半導体集積回路装置

【技術分野】

【0001】

本発明は、半導体集積回路装置に関し、特に、例えば不揮発性の強誘電体メモリに関する。

【背景技術】

【0002】

今日、半導体メモリは、大型コンピュータの主記憶から、パーソナルコンピュータ、家電製品、携帯電話等、至る所で利用されている。半導体メモリの種類としては、揮発性のDRAM (Dynamic Random Access Memory)、SRAM (Static RAM)、不揮発性のMR-OM (Mask Read Only Memory)、FlashEEPROM (Electrically Erasable Programmable ROM) 等が市場に出まわっている。特に、DRAMは揮発性メモリであるにも関わらず、その低コスト性 (SRAMに比べてセル面積が $1/4$)、高速性の点で優れており、市場の殆どを占めている。書き換え可能で不揮発性のFlashEEPROMは、不揮発性で、電源を切っても情報の記憶が可能である。しかしながら、書き換え回数 (W/E回数) が 10^6 乗程度である、また書き込む時間がマイクロ秒程度かかる、さらに書き込みに高電圧 (12V~22V) を印可する必要がある、等の欠点があるため、DRAM程は市場が開けていない。

【0003】

これに対して、強誘電体キャパシタ (Ferroelectric Capacitor) を用いた不揮発性メモリ (Nonvolatile Ferroelectric Memory) は、不揮発性で、しかも、書き換え回数が 10^{12} 乗、読みだし・書き込み時間がDRAM程度、3V~5V動作等の長所がある。このため、全メモリ市場を置き換える可能性があり、1980年に提案されて以来、各メーカーが開発を行っている。

【0004】

図44に、従来の強誘電体メモリの1トランジスタ+1キャパシタ構成のメモリセルと、そのセルアレイ構成を示す。従来の強誘電体メモリのメモリセル構成は、トランジスタとキャパシタとを直列接続する構成である。セルアレイは、データを読み出すビット線BLと、メモリセルトランジスタを選択するワード線WLと、強誘電体キャパシタの一端を駆動するプレート線PLから構成される。この強誘電体メモリにおいては、図45、図46に示すように、メモリセルは、ワード線とビット線との交点2個に1個配置されるフォールデッドビット線構成である。このため、配線幅、配線間距離をFとすると、最小のセルサイズは $2F \times 4F = 8F^2$ に限定される問題があった。

【0005】

また、非選択セルの強誘電体キャパシタの分極情報の破壊を防ぐために、プレート線は、ワード線毎に分断され、個別に駆動される必要がある。また、個々のプレート線にはワード線方向に複数の強誘電体キャパシタが接続されるため負荷容量が大きい。さらに、プレート線駆動回路のピッチがワード線毎と非常に狭いため、プレート線駆動回路のサイズを大きくできない。これらの理由により、図47に示すように、プレート線の立ち上がり、立ち下がり時の遅延が大きく、結果として動作が遅い問題があった。

【0006】

図48は、プレート線が共有された構成を示している。図49は、図48の構成とすることにより生じる、非選択セルの強誘電体キャパシタに発生するディスタープの現象を示している。図48に示すように、プレート線およびプレート駆動回路を異なるワード線に接続されるセルで共有化することにより、高速化とプレート駆動回路の数を低減できる。

【0007】

しかしながら、例えばワード線WL0を選択した場合、プレート線PLを共有化したことにより、非選択のワード線WL1に接続したセルの強誘電体キャパシタとプレート線PLとの接続ノードもアクティブ時、電位 V_{ss} から内部電源電位 V_{aa} に上がる。この時

、強誘電体キャパシタのカップリングにより非選択セルのノードSN1も電位V_{aa}に上がる。ここでノードSN1の寄生容量分のカップリング比により、ノードSN1は電位V_{aa}より僅かだけ小さい値になるが、寄生容量値は強誘電体キャパシタの容量に比べて小さいので問題無い。

【0008】

しかしながら、図49に示すように、長いアクティブ時間、短いスタンバイ時間、長いアクティブ時間、短いスタンバイ時間、と繰り返すと、ノードSN1の電位はジャンクションリークにより、少しずつ低下する。よって、次にスタンバイ時間になるとプレート線PLの電位は電位V_{ss}に下がり、ノードSN1は負の値になる。スタンバイ時間が長い場合、この負の電位はジャンクションリーク等で0Vに戻ろうとする。しかしながら、通常、アクティブ時間は10 μ s程度であり、スタンバイ時間は最小20ns程度であり、時間比は500である。このため、ノードSN1の電位は、殆ど元に戻らず、非選択の強誘電体キャパシタにスタティックなディスタ urb電圧が印加され、セル情報が破壊される。

【0009】

このように、ノードSN1の電位は、長いアクティブ動作を繰り返すと下がり続けるが、ある程度大きくなるとスタンバイ時のジャンクションリークが順方向になり止まる。埋め込み電位は0.6V程度であることから、ディスタ urb電圧は、0.3V程度である。なお強誘電体キャパシタからのリーク電流がジャンクションリーク電流より多い場合、ノードSN1の電位の低下は抑えられる。しかし、この場合でも、2つのリークの電流量は各々分布を持つ。すなわち、DRAMのポーズ特性のように、欠陥等によってジャンクションリークの多いセルが分布上存在し、強誘電体キャパシタにおいても、結晶境界からのリークの少ないセルが分布上存在する。よって2つの悪条件が重なるセルは存在し、結果として、ある程度のセルにおいて分極情報が破壊される。

【0010】

このことから、図48の構成とすることは難しい。この結果、従来の強誘電体メモリは、プレート線の駆動スピードが遅く、メモリの動作が遅い問題点があった。

【0011】

上記問題を解決するため、発明者は、「特開平10-255483」、「特開平11-177036」、「特開2000-22010」において、不揮発性の強誘電体メモリを提案している。これらの強誘電体メモリ（以下、先願のメモリ）によれば、（1）小さい4F²サイズのメモリセル、（2）製造が容易な平面トランジスタ、（3）汎用性のある高速ランダムアクセス機能、の3点を同時に達成できる。

【0012】

図50に、先願のメモリの構成を示す。図50に示すように、1個のメモリセルは並列接続されたセルトランジスタと強誘電体キャパシタにより構成され、1つのメモリセルブロックは、このメモリセルが複数個直列に接続された構成を有する。メモリセルブロックの一端は、ブロック選択トランジスタを介してビット線に接続され、他端はプレートに接続される。この構成により、図51、図52に示すように、最小4F²サイズのメモリセルを実現できる。

【0013】

この構成のメモリの動作を説明する。スタンバイ時、全てのワード線WL0~WL3をハイレベルとしておくことによりセルトランジスタQ0~Q3をオンにしておき、ブロック選択信号BSをローレベルとしておくことによりブロック選択トランジスタをオフしておく。こうすることにより、強誘電体キャパシタの両端は、オンしているセルトランジスタによりショートされるため、両端の電位差は発生せず、メモリセルの分極情報は安定に保持される。

【0014】

アクティブ時、読み出したい強誘電体キャパシタに並列接続されるセルトランジスタのみをオフにして、ブロック選択トランジスタをオンにする。その後、プレート線PLをハ

イレベルにすることにより、プレート線 PL とビット線 BL との間の電位差が、オフしたメモリセルトランジスタに並列接続された強誘電体キャパシタの両端にのみ印加される。この結果、強誘電体キャパシタの分極情報がビット線に読み出される。

【0015】

このように、メモリセルが直列接続されていても、任意のワード線を選択することにより、任意の強誘電体キャパシタが有する情報を読み出すことができる。すなわち、完全なランダムアクセスを実現できる。

【0016】

なお、非選択セルのセルトランジスタはオンしているため、非選択セルの強誘電体キャパシタの両端はオンしているセルトランジスタによってショートされる。よって、メモリセルブロックの全てのメモリセルでプレート線 PL を共有しても、従来の強誘電体メモリにおけるディスターブ電圧の問題は回避できる。よって、プレート線 PL を共有することにより、チップサイズを縮小しつつ、プレート線駆動回路の面積を大きくできるため、高速動作が実現できる。例えば 16 セルでプレート線を共有すると、(プレート線駆動回路面積)・(プレート線遅延)積を $1/16$ に低減できる。

【0017】

この出願の発明に関連する先行技術文献情報としては次のものがある。

【特許文献 1】特開平 10-255483 号公報

【特許文献 2】特開平 11-177035 号公報

【特許文献 3】特開 2000-22010 号公報

【発明の開示】

【発明が解決しようとする課題】

【0018】

先願のメモリにおいては、次のような問題点があった。プレート線 PL は大幅な高速動作が実現出来る反面、読み出し電荷、書き込み電荷は、複数の直列接続されたセルトランジスタを介して、メモリセルとビット線 BL との間を移動するため、セルトランジスタの遅延成分が発生する。このため、メモリの高速動作が制限される。メモリセルの数を減らすことによりこの遅延は低減されるが、チップ縮小のメリットは低減する。

【0019】

以上述べたように、従来の強誘電体メモリでは、プレート線を共有化出来ず、スピードが遅く、セルサイズも大きい問題がある。また、先願のメモリにおいても、セルサイズの縮小化、プレート線の共有化、高速動作が可能な反面、直列接続されたセルの数によって最高スピードが制限される問題があった。

【0020】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、ある程度の小さいメモリセルを実現しつつ、プレート線を共有化でき、且つメモリセルの直列接続による遅延を無くして高速動作が可能な半導体集積回路装置を提供しようとするものである。

【課題を解決するための手段】

【0021】

本発明の第 1 の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第 1 メモリセルと、前記複数の第 1 メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第 1 ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を第 1 プレート線として、ソース端子を前記第 1 プレート線と接続され、且つドレイン端子を前記第 1 ローカルビット線と接続された、第 1 リセットトランジスタと、ソース端子を前記第 1 ローカルビット線と接続され、且つドレイン端子を第 1 ビット線と接続された、第 1 ブロック選択トランジスタと、を具備する第 1 メモリセルブロックを有することを特徴とする。

【0022】

本発明の第2の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数の第1メモリセルと、前記複数の第1メモリセルのそれぞれの前記セルトランジスタのドレイン端子を第1ローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端を第1プレート線として、ソース端子を第1電源と接続され、且つドレイン端子を前記第1ローカルビット線と接続された、第1リセットトランジスタと、ソース端子を前記第1ローカルビット線と接続され、且つドレイン端子を第1ビット線と接続された、第1ブロック選択トランジスタと、を具備する第1メモリセルブロックを有することを特徴とする。

【0023】

本発明の第3の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのソース端子に一端を接続された強誘電体キャパシタと、を具備する複数のメモリセルと、前記複数のメモリセルのそれぞれの前記セルトランジスタのドレイン端子をローカルビット線とし且つそれぞれの前記強誘電体キャパシタの他端をプレート線として、ソース端子を前記ローカルビット線と接続されたブロック選択トランジスタと、を具備する第1メモリセルブロックおよび第2メモリセルブロックを有するメモリセルアレイを有し、前記第1メモリセルブロックおよび前記第2メモリセルブロックの前記ブロック選択トランジスタのドレイン端子はビット線と接続され、スタンバイ時、前記第1メモリセルブロックおよび前記第2メモリセルブロックの前記セルトランジスタおよび前記ブロック選択トランジスタはオンとされ、アクティブ時、前記第1メモリセルブロックの前記ブロック選択トランジスタはオフとされ、且つ前記第1メモリセルブロック内の選択された前記メモリセル以外の前記メモリセルの前記セルトランジスタはオフとされる、ことを特徴とする。

【0024】

本発明の第4の視点による半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタと、前記セルトランジスタのドレイン端子に一端を接続された強誘電体キャパシタと、を具備する複数のメモリセルと、前記複数のメモリセルのそれぞれの前記セルトランジスタのソース端子をプレート線とし且つそれぞれの前記強誘電体キャパシタの他端をローカルビット線として、ソース端子を前記プレート線と接続され、且つドレイン端子を前記ローカルビット線と接続された、リセットトランジスタと、ソース端子を前記ローカルビット線と接続され、且つドレイン端子をビット線と接続された、ブロック選択トランジスタと、を具備するメモリセルブロックを有することを特徴とする。

【0025】

本発明の第5の視点による半導体集積回路装置は、半導体基板と、前記半導体基板の表面に配設された複数のセルトランジスタと、前記複数のセルトランジスタの上方に配設され、且つ前記複数のセルトランジスタのソース／ドレイン拡散層の一方と電気的に接続された、ローカルビット線と、前記ローカルビット線の上方に配設され、且つ前記複数のセルトランジスタの前記ソース／ドレイン拡散層の他方とそれぞれ電気的に接続された下部電極と、上部電極と、を有する、前記セルトランジスタと同数の強誘電体キャパシタと、前記上部電極の上方に配設され、且つ前記上部電極と電気的に接続された、プレート線と、前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、リセットトランジスタと、前記半導体基板の表面に配設され、且つ前記ソース／ドレイン拡散層の一方を前記プレート線の上方に配設されたビット線と電気的に接続され、且つ他方を前記ローカルビット線と電気的に接続された、ブロック選択トランジスタと、を具備することを特徴とする。

【0026】

本発明の第6の視点による半導体集積回路装置は、半導体基板と、前記半導体基板の表面に配設された複数のセルトランジスタと、前記半導体基板の上方に配設され、且つ前記

複数のセルトランジスタの前記ソース／ドレイン拡散層の一方とそれぞれ電氣的に接続された下部電極と、上部電極と、を有する、前記セルトランジスタと同数の強誘電体キャパシタと、前記上部電極の上方に配設され、且つ前記上部電極と電氣的に接続された、プレート線と、前記半導体基板の表面に配設され、且つソース／ドレイン拡散層の一方を前記プレート線と電氣的に接続された、リセットトランジスタと、前記半導体基板の表面に配設され、且つ前記ソース／ドレイン拡散層の一方を前記プレート線の上方に配設されたビット線と電氣的に接続された、ブロック選択トランジスタと、平面において前記セルトランジスタのゲート電極を横切って前記半導体基板の表面に形成され、且つ前記リセットトランジスタのソース／ドレイン拡散層の他方と前記ブロック選択トランジスタのソース／ドレイン拡散層の他方とを電氣的に接続する、第1能動領域と、平面において前記セルトランジスタのゲート電極の延在方向に沿って前記半導体基板の表面に前記第1能動領域と接続して形成され、前記複数のセルトランジスタのソース／ドレイン拡散層の他方と前記リセットトランジスタのソース／ドレイン拡散層の他方とを電氣的に接続する、複数の第2能動領域と、を具備することを特徴とする。

【0027】

更に、本発明に係る実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件における適宜な組み合わせにより種々の発明が抽出され得る。例えば、実施の形態に示される全構成要件から幾つかの構成要件が省略されることで発明が抽出された場合、その抽出された発明を実施する場合には省略部分が周知慣用技術で適宜補われるものである。

【発明の効果】

【0028】

本発明によれば、メモリセルの面積が小さく、高速動作が可能な半導体集積回路装置を提供できる。

【発明を実施するための最良の形態】

【0029】

以下に本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、略同一の機能及び構成を有する構成要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

【0030】

(第1実施形態)

図1は本発明の第1実施形態に係る半導体集積回路装置(F e R A M)の回路構成を示している。図1に示すように、1つのメモリセルは、直列接続された1つのセルトランジスタと1つの強誘電体キャパシタにより構成される。すなわち、各メモリセルは、セルトランジスタQ0～Q3と強誘電体キャパシタC0～C3とにより、それぞれ構成される。セルトランジスタQ0～Q3のゲートは、ワード線WL0～WL3と接続される。各メモリセルは並列接続され、各メモリセルの一端はプレート線PL、他端はローカルビット線LBLと接続される。

【0031】

プレート線PLとローカルビット線LBLとの間にはリセットトランジスタQRが接続される。リセットトランジスタQRは、リセット信号RSTにより制御される。ローカルビット線LBLとビット線BLとの間にはブロック選択トランジスタQSが接続される。ブロック選択トランジスタQSは、ブロック選択信号BSにより制御される。

【0032】

以上のように、複数のセルトランジスタQ0～Q3、複数の強誘電体キャパシタC0～C3、リセットトランジスタQR、ブロック選択トランジスタQS、ローカルビット線LBLにより1つのセルブロックCBが構成される。ロウデコーダRDは、接続された配線(ワード線WL0～WL3等)の電位を制御する。プレート線ドライバPLDは、プレート線を駆動する。

【0033】

次に、図1の半導体集積回路装置の動作について説明する。スタンバイ時、セルブロックCB内のセルトランジスタQ0～Q3はオンとされている。このため、プレート線PLの電位はセルノードSN0～3に伝わる。また、リセットトランジスタQRはオンとされている。このため、セルブロックCB内のローカルビット線LBLの電位も、プレート線PLの電位と等しい。よって、セルブロックCBの全てのメモリセルの強誘電体キャパシタC0～C3の両端の電位はプレート線PLと同電位となり、スタンバイ時、強誘電体キャパシタC0～C3には電圧が印加されない。

【0034】

アクティブ時、セルブロックCB内のリセットトランジスタQRがオフとされ、非選択セルのセルトランジスタ（例：セルトランジスタQ0、Q2、Q3）がオフとされ、ブロック選択トランジスタQSがオンとされ、プレート線PLが駆動される。この結果、選択セルのセルトランジスタ（例：セルトランジスタQ1）のみオンしているため、選択セルの強誘電体キャパシタ（例：強誘電体キャパシタC1）の一端にはプレート線PLの電位が印加され、他端はビット線BLの電位が印加される。よって、強誘電体キャパシタC1の両端に電圧が印加される。この電圧によって強誘電体キャパシタC1が分極反転し、この結果、強誘電体キャパシタC1からセル情報が読み出される。このセル情報はローカルビット線LBLを介してビット線BLに読み出される。この読み出し信号はセンスアンプ（図示せぬ）で増幅される。

【0035】

セル情報の読み出し後、読み出された情報が、“0”データの場合、プレート線PLの電位がハイレベルの状態データが強誘電体キャパシタC1に書き戻される。“1”データの場合、プレート線PLの電位がローレベルとされた後、書き戻される。この後、ブロック選択トランジスタQSがオフとされ、リセットトランジスタQR、セルトランジスタQ0～Q3がオンとされることにより、スタンバイ状態に移行する。

【0036】

アクティブ時、非選択セルのノード（例：セルノードSN0、SN2、SN3）はフローティングとなる。また、プレート線PLがセルブロックCB内の全てのメモリセルで共有化されているため、非選択セルのプレート線PLもハイレベルとなる。この結果、ジャンクションリークにより非選択セルのノードの電位は低下し、非選択セルの強誘電体キャパシタ（例：強誘電体キャパシタC0、C2、C3）にディスターブ電圧が印加される。しかし、スタンバイ状態に戻ると各強誘電体キャパシタC0～C3の両端の電位差はリセットされて0Vになる。よってディスターブ電圧は、僅か一回のアクティブ時間（最大10 μ s）の間にセルノードSN0～SN3が降下した電圧に制限される。このセルノードSN0～SN3の電位の低下はDRAM等では、少なくとも数百ms程度はセル電荷を保持していることを考えると、無視出来る値といえる（0.1V以下）。

【0037】

第1実施形態に係る半導体集積回路装置によれば、プレート線PLはセルブロックCBの全てのメモリセルによって共有される。よって、プレート線PLの上の信号の遅延の大幅な低減、プレート線PL駆動回路PLDの面積の縮小、駆動能力の向上を実現できる。

【0038】

また、第1実施形態によれば、アクティブ時、非選択セルの強誘電体キャパシタにディスターブ電圧が印加されるが、スタンバイ状態となるごとに、各強誘電体キャパシタC0～C3の両端の電位差は0Vにリセットされる。よって、ディスターブ電圧が印加される期間は短く、非選択セルのセルノードの電位の低下は無視できるほど小さい。このため、メモリセルのデータが、ディスターブ電圧によって破壊されることを回避できる。

【0039】

また、第1実施形態によれば、上記したアクティブ時の一連の動作において、強誘電体キャパシタC0～C3とビット線BLとの間には、セルトランジスタQ0～Q3とブロック選択トランジスタQSの2つトランジスタを介するのみである。したがって、先願のメモリのメモリセルと異なり、複数のメモリセルが直列接続されたことによる遅延の問題は

起こらない。よって、プレート線PLを共有化しつつ、直列接続されたセルトランジスタに起因した遅延が発生しないため、従来および先願のメモリより、高速な読み出し、書き込みが可能となる。

【0040】

また、第1実施形態によれば、セルブロックCB単位でビット線BLに接続されるため、ビット線BLのコンタクト数を大幅に低減できる。よって、ビット線BLの容量を小さくできるため、多くのメモリセルを1つのビット線BLに接続できる。したがって、センスアンプの面積の削減や、ビット線BL上の信号を増大させることができる。

【0041】

また、第1実施形態によれば、ビット線BLと各ワード線WL0～WL3の交点に1個セルを配置できるため、最小6F²程度の小さいメモリセルを実現できる。

【0042】

(第2実施形態)

第2実施形態は、第1実施形態の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、プレート線PLのスタンバイ時の電位を電位V_{ss}、駆動時の電位を内部電源電位V_{aa}とした場合に関する。

【0043】

図2は本発明の第2実施形態を示しており、図1の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0044】

図2に示すように、スタンバイ時、リセット信号RST、ワード線WL0～WL3は、電位V_{pp}（ハイレベル）とされ、ブロック選択信号BSはローレベルとされている。また、プレート線PLは、ビット線BLは、電位V_{ss}とされている。よって、セルトランジスタQ0～Q3、リセットトランジスタQRはオンとされ、セルブロックCB内のローカルビット線LBLの電位も、プレート線PLの電位と等しい。したがって、スタンバイ時、セルブロックCBの全てのメモリセルの強誘電体キャパシタC0～C3の両端の電位はプレート線PLと同電位となり、強誘電体キャパシタC0～C3には電圧が印加されない。

【0045】

アクティブ時、リセット信号RSTがローレベルとされ、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。選択セルのワード線WL1はハイレベルを維持する。よって、リセットトランジスタQRがオフとされ、非選択セルのセルトランジスタQ0、Q2、Q3がオフとされる。次いで、ブロック選択信号BSがハイレベルとされることにより、ブロック選択トランジスタQSがオンとされる。

【0046】

この状態で、プレート線PLが内部電源電位V_{aa}に駆動される。なお、内部電源電位V_{aa}は、電源電位V_{dd}から生成される電位であり、電源電位V_{dd}を用いることも可能である。プレート線PLの駆動の結果、選択セルの強誘電体キャパシタC1のみの両端に電圧が印加されることにより、強誘電体キャパシタC1から“0”、または“1”の情報に応じた電位がローカルビット線LBLを介してビット線BLに読み出される。そして、ビット線BLに読み出された電位は、図示せぬセンスアンプにより増幅される。読み出された情報が“0”の場合、ビット線上の電位は、電位V_{ss}（典型的には接地電位）に増幅される。読み出された情報が“1”の場合、ビット線BL上の電位は、内部電源電位V_{aa}に増幅される。

【0047】

“0”情報の場合、ビット線BLが電位V_{ss}であるため、プレート線PLが電位V_{aa}の間に、再書き込みが行われる。“1”情報の場合、ビット線BLが電位V_{aa}であるため、プレート線PLが電位V_{ss}とされることにより、再書き込みがなされる。この後、ブロック選択信号BSがローレベルとされ、リセット信号RST、ワード線WL0、W

L2、WL3がハイレベルとされることによりスタンバイ状態に移行する。

【0048】

なお、スタンバイ時、ワード線WL0～WL3には、比較的高い電位 V_{pp} が印加されているため、セルトランジスタQ0～Q3の信頼性が問題となる。このため、図3に示すように、スタンバイ時は、ワード線WL0～WL3の電位を電位 V_{pp} 以下（例えば電位 V_{aa} ）とし、アクティブ時に選択セルトランジスタのワード線の電位を V_{pp} に上げる制御とすることが望ましい。以下の各実施形態においても同様である。

【0049】

第2実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。

【0050】

（第3実施形態）

第3実施形態は、第1実施形態の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、プレート線PLの電位を $1/2 V_{aa}$ に固定した場合に関する。

【0051】

図4は、本発明の第3実施形態を示しており、図1の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

【0052】

図4に示すように、スタンバイ時の状態は、プレート線PLが $1/2 V_{aa}$ に駆動されていることを除いて、第2実施形態と同じである。アクティブ時、リセット信号RST、ワード線WL0、WL2、WL3がローレベルとされる。この状態でブロック選択信号BSがハイレベルとされることにより、強誘電体キャパシタC1の一端にプレート線PLの電位（ $=1/2 V_{aa}$ ）が印加され、他端にビット線BLの電位（ $=V_{ss}$ ）が印加される。よって、強誘電体キャパシタC1から、ビット線BLに情報が読み出され、次いでビット線BLの電位が、電位 V_{ss} または電位 V_{aa} に増幅される。

【0053】

“0”情報の場合、ビット線BLが電位 V_{ss} であり、プレート線PLの電位が $1/2 V_{aa}$ であるため、強誘電体キャパシタC1に“0”情報が再書き込みされる。“1”情報の場合、ビット線BLが電位 V_{aa} であり、プレート線PLの電位が $1/2 V_{aa}$ であるため、強誘電体キャパシタC1に“1”情報が再書き込みされる。この後、ブロック選択信号BSがローレベルとされ、リセット信号RST、ワード線WL0、WL2、WL3がハイレベルとされることによりスタンバイ状態に移行する。

【0054】

第3実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。

【0055】

（第4実施形態）

第4実施形態は、第1実施形態の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。

【0056】

第1実施形態において記載したように、スタンバイ時、強誘電体キャパシタC0～C3の両端は、同電位に設定される。このため、スタンバイ時にセルノードSN0～SN3の電位が低下することにより強誘電体キャパシタC0～C3が保持する“1”情報が破壊されることはない。したがって、スタンバイ時のプレート線PLの電位は、任意に設定することができる。第4実施形態は、この特徴を利用したものであり、第2実施形態の変形例である。

【0057】

図5は、本発明の第4実施形態を示しており、図1の半導体集積回路装置の動作を示し

ている。強誘電体キャパシタ C 1 から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0058】

図5に示すように、スタンバイ時の状態は、プレート線 PL が任意の電位、例えば電位 r_{ef} とされていることを除いて、第2実施形態と同じである。アクティブ時、リセット信号 RST、ワード線 WL 0、WL 2、WL 3 がローレベルとされ、ブロック選択信号 BS がハイレベルとされる。この状態で、プレート線 PL が内部電源電位 V_{aa} へと駆動されることにより、強誘電体キャパシタ C 1 から情報が読み出される。“0” 情報の場合、プレート線 PL が駆動されている間に、再書き込みが行われる。“1” 情報の場合、プレート線 PL が電位 V_{ss} とされることにより、再書き込みが行われる。この後、この後、ブロック選択信号 BS がローレベルとされ、リセット信号 RST、ワード線 WL 0、WL 2、WL 3 がハイレベルとされ、プレート線 PL が電位 r_{ef} に駆動されることによりスタンバイ状態に移行する。

【0059】

第4実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。また、第4実施形態によれば、スタンバイ中のプレート線 PL の電位を電位 V_{ss} より高くしている。よって、スタンバイ時、セルトランジスタ Q 0 ~ Q 3 に印加される電圧が下がるため、信頼性の問題を回避できる。

【0060】

(第5実施形態)

第5実施形態は、第1実施形態の半導体集積回路装置のプレート線 PL の駆動方法の一例に関する。第5実施形態は、第4実施形態と同じ特徴を利用しており、第2実施形態の変形例である。

【0061】

図6は、本発明の第5実施形態を示しており、図1の半導体集積回路装置の動作を示している。強誘電体キャパシタ C 1 から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0062】

図6に示すように、スタンバイ時の状態は、プレート線 PL が内部電源電位 V_{aa} に駆動されていることを除いて、第2実施形態と同じである。アクティブ時、リセット信号 RST、ワード線 WL 0、WL 2、WL 3 がローレベルとされる。この状態で、ブロック選択信号 BS がハイレベルとされることにより、強誘電体キャパシタ C 1 の両端に電圧が印加され、強誘電体キャパシタ C 1 からビット線 BL に情報が読み出される。読み出された情報は、センスアンプにより増幅される。“0” 情報の場合、プレート線 PL が駆動されている間に、再書き込みが行われる。“1” 情報の場合、プレート線 PL が電位 V_{ss} とされることにより、再書き込みが行われる。この後、プレート線 PL が駆動され、スタンバイ状態に移行する。この後、この後、ブロック選択信号 BS がローレベルとされ、リセット信号 RST、ワード線 WL 0、WL 2、WL 3 がハイレベルとされ、プレート線 PL が電位 V_{aa} に駆動されることによりスタンバイ状態に移行する。

【0063】

第5実施形態に係る半導体集積回路装置によれば、第1実施形態と第4実施形態とを合せた効果を得られる。

【0064】

(第6実施形態)

第6実施形態は、フォールデッドビット線構成に関する。図7は、本発明の第6実施形態に係る半導体集積回路装置の回路構成を示している。図7に示すように、図1のセルブロック CB と同じ構成のセルブロック CB 0、CB 1 がビット線 /BL、/BL (ビット線対) に対してそれぞれ設けられる。ビット線 /BL、/BL はセンスアンプ SA と接続される。

【0065】

セルトランジスタQ0～Q3、強誘電体キャパシタC0～C3、リセットトランジスタQR0、ブロック選択トランジスタQS0、ローカルビット線／LBLによりセルブロックCB0が構成される。セルトランジスタQ0～Q3と強誘電体キャパシタC0～C3とから構成されたメモリセルが並列接続され、各メモリセルは、プレート線／PLと、ローカルビット線／LBLとの間に接続される。プレート線／PLとローカルビット線／LBLとの間には、リセットトランジスタQR0が接続される。ローカルビット線／LBLとビット線／BLとの間には、ブロック選択トランジスタQS0が接続される。

【0066】

セルトランジスタQ4～Q7、強誘電体キャパシタC4～C7、リセットトランジスタQR1、ブロック選択トランジスタQS1、ローカルビット線LBLによりセルブロックCB1が構成される。セルトランジスタQ4～Q7と強誘電体キャパシタC4～C7とから構成されたメモリセルが並列接続され、各メモリセルは、プレート線PLと、ローカルビット線LBLとの間に接続される。プレート線PLとローカルビット線LBLとの間には、リセットトランジスタQR1が接続される。ローカルビット線LBLとビット線／BLとの間には、ブロック選択トランジスタQS1が接続される。

【0067】

セルトランジスタQ0、Q4のゲートは、ワード線WL0と接続される。セルトランジスタQ1、Q5のゲートは、ワード線WL1と接続される。セルトランジスタQ2、Q6のゲートは、ワード線WL2と接続される。セルトランジスタQ3、Q7のゲートは、ワード線WL3と接続される。リセットトランジスタQR0、QR1はリセット信号RSTにより制御される。ブロック選択トランジスタQS0、QS1は、ブロック選択信号／BS、BSによりそれぞれ制御される。

【0068】

次に、動作について説明する。各セルブロックCB0、CB1内の動作は、第1実施形態と同じである。セルブロックCB0内のメモリセルの読み出しの場合、ブロック選択トランジスタQS0のみオンとされ、ブロック選択トランジスタQS1はオフのままとされる。この状態で、プレート線PLのみ駆動され、プレート線PLは駆動されない。この結果、ビット線／BLにセル情報が読み出される。ビット線BL上の電位は、参照電位として用いられる。ビット線／BL上の電位は、ビット線BL上の電位を用いてセンスアンプSAにより増幅される。セルブロックCB1内のメモリセルの読み出しの場合も同じである。

【0069】

第6実施形態に係る半導体集積回路装置によれば、フォールデッドビット線構成を採用した場合でも、第1実施形態と同じ効果を得られる。

【0070】

(第7実施形態)

第7実施形態は、第6実施形態の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PL、／PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。動作に関しても、第6実施形態と第2実施形態とを組み合わせた形態と同じである。

【0071】

図8は本発明の第7実施形態を示しており、図7の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

【0072】

図8に示すように、スタンバイ時、リセット信号RST、ワード線WL0～WL3はハイレベルとされ、ブロック選択信号BS、／BSはローレベルとされている。プレート線PL、／PLは電位Vssとされている。

【0073】

アクティブ時、リセット信号RSTがローレベルとされ、非選択セルのワード線WL0

、WL 2、WL 3 がローレベルとされる。選択セルのワード線WL 1 はハイレベルを維持する。次いで、ブロック選択信号／BS がハイレベルとされることにより、ブロック選択トランジスタQS がオンとされる。ブロック選択信号BS はローレベルを維持する。

【0074】

この状態で、プレート線／PL が内部電源電位V_{aa} に駆動されることにより、強誘電体キャパシタC 1 からビット線／BL にセル情報が読み出される。プレート線PL は電位V_{ss} を維持する。ビット線／BL に読み出された電位は、センスアンプSA により増幅され、次いで、第2実施形態と同様に再書き込み動作が行われる。この後、リセット信号RST、ワード線WL 0、WL 2、WL 3 がハイレベルとされ、ブロック選択信号／BS がローレベルとされることによりスタンバイ状態に移行する。

【0075】

第7実施形態に係る半導体集積回路装置によれば、第6実施形態と第2実施形態とを合せた効果を得られる。

【0076】

(第8実施形態)

第8実施形態は、第6実施形態の半導体集積回路装置のプレート線PL、／PL の駆動方法の一例に関する。より詳しくは、第3実施形態と同様に、プレート線PL、／PL の電位を1/2 V_{aa} に固定した場合に関する。

【0077】

図9は、本発明の第8実施形態を示しており、図7の半導体集積回路装置の動作を示している。強誘電体キャパシタC 1 から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0078】

図9に示すように、スタンバイ時の状態は、プレート線PL、／PL が電位1/2 V_{aa} に駆動されていることを除いて、第7実施形態と同様である。アクティブ時、リセット信号RST、ワード線WL 0、WL 2、WL 3 がローレベルとされる。この状態でブロック選択信号／BS がハイレベルとされることにより、ビット線／BL に情報が読み出される。ブロック選択信号BS は、ローレベルを維持する。続いてビット線／BL 上の電位が増幅され、次いで、第3実施形態と同様にして再書き込み動作が行われ、次いで、第7実施形態と同様にしてスタンバイ状態に移行する。

【0079】

第8実施形態に係る半導体集積回路装置によれば、第6実施形態と同じ効果を得られる。

【0080】

(第9実施形態)

第9実施形態は、第6実施形態の半導体集積回路装置のプレート線PL、／PL の駆動方法の一例に関する。より詳しくは、第4実施形態と同様にプレート線PL、／PL が駆動される。

図10は、本発明の第9実施形態を示しており、図7の半導体集積回路装置の動作を示している。強誘電体キャパシタC 1 から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0081】

図10に示すように、スタンバイ時の状態は、プレート線PL、／PL が電位r_{ef} に駆動されていることを除いて、第7実施形態と同様である。アクティブ時、リセット信号RST、ワード線WL 0、WL 2、WL 3 がローレベルとされ、ブロック選択信号／BS がハイレベルとされる。ブロック選択信号BS はローレベルを維持する。この状態で、プレート線／PL が内部電源電位V_{aa} へと駆動されることにより、強誘電体キャパシタC 1 から情報が読み出される。プレート線PL は、電位r_{ef} を維持する。続いて、ビット線／BL 上の電位が増幅され、次いで、第4実施形態と同様にして再書き込み動作が行われ、次いで、第7実施形態と同様にしてスタンバイ状態に移行する。

【0082】

第9実施形態に係る半導体集積回路装置によれば、第6実施形態と第4実施形態とを合せた効果を得られる。

【0083】

(第10実施形態)

第10実施形態は、第6実施形態の半導体集積回路装置のプレート線PL、/PLの駆動方法の一例に関する。より詳しくは、第5実施形態と同様にプレート線PL、/PLが駆動される。

【0084】

図11は、本発明の第10実施形態を示しており、図7の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0085】

図11に示すように、スタンバイ時の状態は、プレート線PL、/PLが内部電源電位Vaaに駆動されていることを除いて、第7実施形態と同様である。アクティブ時、リセット信号RST、ワード線WL0、WL2、WL3がローレベルとされる。この状態で、ブロック選択信号BSがハイレベルとされることにより、強誘電体キャパシタC1からビット線/BLに情報が読み出される。ブロック選択信号BSはローレベルを維持し、プレート線PLは内部電源電位Vaaを維持する。続いて、ビット線/BL上の電位が増幅され、次いで、第5実施形態と同様にして再書き込み動作が行われ、次いで、第7実施形態と同様にしてスタンバイ状態に移行する。

【0086】

第10実施形態に係る半導体集積回路装置によれば、第6実施形態と第5実施形態とを合せた効果を得られる。

【0087】

(第11実施形態)

第11実施形態は、第6実施形態の構成に加え、プレート線/PLが、ビット線/BLと接続される2つのセルブロックにより共用される。同様に、プレート線PLもビット線/BLと接続される2つのセルブロックにより共用される。

【0088】

図12は、本発明の第11実施形態に係る半導体集積回路装置の回路構成を示している。図12に示すように、図1のセルブロックCBと同様のセルブロックCB2、CB3がビット線/BL、/BLに対してそれぞれ設けられる。

【0089】

セルブロックCB0、CB1は、それぞれ、ローカルビット線/LBLがローカルビット線/LBL0とされ、ローカルビット線LBLがローカルビット線LBL0とされた以外は、図7と同じである。選択トランジスタQR0、QR1はリセット信号RST0により制御される。ブロック選択トランジスタQS0、QS1は、ブロック選択信号/BS0、BS0によりそれぞれ制御される。

【0090】

セルトランジスタQ8~Q11、強誘電体キャパシタC8~C11、リセットトランジスタQR2、ブロック選択トランジスタQS2、ローカルビット線/LBL1によりセルブロックCB2が構成される。セルトランジスタQ8~Q11と強誘電体キャパシタC8~C11とから構成されたメモリセルが並列接続され、各メモリセルは、プレート線/PLと、ローカルビット線/LBL1との間に接続される。プレート線/PLとローカルビット線/LBL1との間には、リセットトランジスタQR2が接続される。ローカルビット線/LBL1とビット線/BLとの間には、ブロック選択トランジスタQS2が接続される。

【0091】

セルトランジスタQ12~Q15、強誘電体キャパシタC12~C15、リセットトラ

ンジスタQR3、ブロック選択トランジスタQS3、ローカルビット線LBL1によりセルブロックCB3が構成される。セルトランジスタQ12~Q15と強誘電体キャパシタC12~C15とから構成されたメモリセルが並列接続され、各メモリセルは、プレート線PLと、ローカルビット線LBL1との間に接続される。プレート線PLとローカルビット線LBL1との間には、リセットトランジスタQR3が接続される。ローカルビット線LBL1とビット線BLとの間には、ブロック選択トランジスタQS3が接続される。

【0092】

セルトランジスタQ8、Q12のゲートは、ワード線WL4と接続される。セルトランジスタQ9、Q13のゲートは、ワード線WL5と接続される。セルトランジスタQ10、Q14のゲートは、ワード線WL6と接続される。セルトランジスタQ11、Q15のゲートは、ワード線WL7と接続される。選択トランジスタQR2、QR3はリセット信号RST1により制御される。ブロック選択トランジスタQS2、QS3は、ブロック選択信号/BS1、BS1によりそれぞれ制御される。

【0093】

次に、図12の半導体集積回路装置の動作について説明する。各セルブロックCB0~CB3内の動作は、第1実施形態と同様である。アクティブ時、セルブロックCB0内のメモリセルの読み出しの場合、リセットトランジスタQR0（およびQR1）がオフとされるとともに、非選択セルのセルトランジスタがオフとされる。リセットトランジスタQR2（およびQR3）はオンのままとされる。

【0094】

次に、ブロック選択トランジスタQS0のみオンとされ、ブロック選択トランジスタQS1~QS3はオフのままとされる。この状態で、プレート線PLのみ駆動され、プレート線PLは駆動されない。この結果、ビット線/BLにセル情報が読み出される。ビット線/BL上の電位は、ビット線BL上の電位を参照電位として用いて、センスアンプSAにより増幅される。セルブロックCB1~CB3内のメモリセルの読み出しの場合も同様である。

【0095】

第11実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。なお、セルブロックCB0内の強誘電体キャパシタから情報が読み出される場合、プレート線/PLが駆動されるため、非選択のセルブロックCB2内の強誘電体キャパシタC8~C11にもプレート線/PLの電位が印加される。しかしながら、リセットトランジスタQR2、およびセルトランジスタQ8~Q11により、強誘電体キャパシタC8~C11の両端は同一電位にショートされている。このため、強誘電体キャパシタC8~C11の情報は破壊されない。

【0096】

また、第11実施形態によれば、プレート線PL、/PLが複数のセルブロックにより共用されている。このため、プレート線PL、/PLの面積の低減、抵抗値の低減が可能となる。この結果、プレート線駆動回路の駆動能力を第1~第10実施形態以上に向上でき、また、プレート線駆動回路の占有面積の削減を実現できる。

【0097】

(第12実施形態)

第12実施形態は、第11実施形態の半導体集積回路装置のプレート線PL、/PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PL、/PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。動作に関しても、第11実施形態と第2実施形態とを組み合わせた形態と同じである。

【0098】

図13は本発明の第12実施形態を示しており、図12の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

【0099】

図13に示すように、スタンバイ時、リセット信号RST0、RST1、ワード線WL0~WL7はハイレベルとされ、ブロック選択信号BS0、/BS0、BS1、/BS1はローレベルとされている。プレート線PL、/PLは電位Vssとされている。

【0100】

アクティブ時、リセット信号RST0、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。リセット信号RST1、選択セルのワード線WL1、非選択のセルブロックCB2、CB3のワード線WL4~WL7はハイレベルを維持する。次いで、ブロック選択信号/BS0がハイレベルとされることにより、ブロック選択トランジスタQS0がオンとされる。ブロック選択信号BS0、/BS1、BSはローレベルを維持する。

【0101】

この状態で、プレート線/PLが内部電源電位Vaaに駆動されることにより、強誘電体キャパシタC1からビット線/BLにセル情報が読み出される。プレート線PLは電位Vssを維持する。ビット線/BLに読み出された電位は、センスアンプSAにより増幅され、次いで、第2実施形態と同様に再書き込み動作が行われる。この後、リセット信号RST0、RST1、ワード線WL0、WL2、WL3がハイレベルとされ、ブロック選択信号/BS0がローレベルとされることによりスタンバイ状態に移行する。

【0102】

第12実施形態に係る半導体集積回路装置によれば、第11実施形態と第2実施形態とを合せた効果を得られる。

【0103】

(第13実施形態)

第13実施形態は、第11実施形態の半導体集積回路装置のプレート線PL、/PLの駆動方法の一例に関する。より詳しくは、第3実施形態と同様に、プレート線PL、/PLの電位を $1/2 V_{aa}$ に固定した場合に関する。

【0104】

図14は、本発明の第13実施形態を示しており、図12の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0105】

図14に示すように、スタンバイ時の状態は、プレート線PL、/PLが電位 $1/2 V_{aa}$ に駆動されていることを除いて、第12実施形態と同様である。アクティブ時、リセット信号RST0、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。この状態でブロック選択信号/BS0がハイレベルとされることにより、ビット線/BLに情報が読み出される。次いでビット線/BL上の電位が増幅される。ワード線WL4~WL7はハイレベルを維持し、ブロック選択信号BS0、BS1、/BS1はローレベルを維持する。続いて、ビット線/BL上の電位が増幅され、次いで、第3実施形態と同様に再書き込み動作が行われ、次いで、第12実施形態と同様にスタンバイ状態に移行する。

【0106】

第13実施形態に係る半導体集積回路装置によれば、第11実施形態と第3実施形態とを合せた効果を得られる。

【0107】

(第14実施形態)

第14実施形態は、第11実施形態の半導体集積回路装置のプレート線PL、/PLの駆動方法の一例に関する。より詳しくは、第4実施形態と同様にプレート線PL、/PLが駆動される

図15は、本発明の第14実施形態を示しており、図12の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に

動作の説明をする。

【0108】

図15に示すように、スタンバイ時の状態は、プレート線PL、 \neg PLの電位が電位refに駆動されていることを除いて、第12実施形態と同様である。アクティブ時、リセット信号RST0、非選択セルのワード線WL0、WL2、WL3がローレベルとされ、ブロック選択信号 \neg BS0がハイレベルとされる。この状態で、プレート線 \neg PLが内部電源電位Vaaへと駆動されることにより、強誘電体キャパシタC1から情報が読み出される。ワード線WL4~WL7はハイレベルを維持し、ブロック選択信号BS0、BS1、 \neg BS1はローレベルを維持し、プレート線PLは、電位refを維持する。続いて、ビット線BL上の電位が増幅され、次いで、第4実施形態と同様にして再書き込み動作が行われ、次いで、第12実施形態と同様にしてスタンバイ状態に移行する。

【0109】

第14実施形態に係る半導体集積回路装置によれば、第11実施形態と第4実施形態とを合せた効果を得られる。

【0110】

(第15実施形態)

第15実施形態は、第11実施形態の半導体集積回路装置のプレート線PL、 \neg PLの駆動方法の一例に関する。より詳しくは、第5実施形態と同様にプレート線PL、 \neg PLが駆動される。

【0111】

図16は、本発明の第15実施形態を示しており、図12の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0112】

図16に示すように、スタンバイ時の状態は、プレート線PL、 \neg PLが内部電源電位Vaaに駆動されていることを除いて、第12実施形態と同様である。アクティブ時、リセット信号RST0、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。この状態で、ブロック選択信号 \neg BS0がハイレベルとされることにより、強誘電体キャパシタC1からビット線BLに情報が読み出される。ワード線WL4~WL7はハイレベルを維持し、ブロック選択信号BS0、BS1、 \neg BS1はローレベルを維持し、プレート線PLは内部電源電位Vaaを維持する。続いて、ビット線BL上の電位が増幅され、次いで、第5実施形態と同様にして再書き込み動作が行われ、次いで、第12実施形態と同様にしてスタンバイ状態に移行する。

【0113】

第15実施形態に係る半導体集積回路装置によれば、第11実施形態と第5実施形態とを合せた効果を得られる。

【0114】

(第16実施形態)

第16実施形態は、第1実施形態の半導体集積回路装置の構造に関する。図17は、本発明の第16実施形態を示しており、図1の半導体集積回路装置に適用可能な、セルブロックの断面構造を概略的に示している。図17に示すように、半導体基板subの表面に、相互に距離を有してソース/ドレイン領域(アクティブ領域)SD1~SD9が形成される。アクティブエリアSD1とSD2との間の半導体基板sub上には、ゲート絶縁膜(図示せぬ)を介してゲート電極(ブロック選択信号線)BSが設けられる。同様に、ソース/ドレイン領域SD2、SD3間、SD4、SD5間、SD5、SD6間、SD7、SD8間の半導体基板sub上方に、ゲート電極(ワード線)WL0、WL1、WL2、WL3がそれぞれ設けられる。ソース/ドレイン領域SD8、SD9間の半導体基板sub上方に、ゲート電極(リセット信号線)RSTが設けられる。各ゲート電極と、隣接する2つのアクティブエリアにより、セルトランジスタQR、ブロック選択トランジスタQS、セルトランジスタQ0~Q3が構成される。

【0115】

ゲート電極WL0～WL3上方には、ローカルビット線LBLが設けられる。ローカルビット線LBLは、コンタクトP1を介してソース／ドレイン領域SD2、SD5、SD8と電氣的に接続される。ローカルビット線LBLの上方には、強誘電体キャパシタC0～C3が設けられる。強誘電体キャパシタC0～C3は、それぞれ、下部電極BE、強誘電体膜FC、上部電極TEから構成される。強誘電体キャパシタC0～C3の各下部電極BEは、コンタクトP2を介して、アクティブエリアSD3、SD4、SD6、SD7と電氣的に接続される。コンタクトP2は、コンタクトP1と異なる面（コンタクトP1の手前または奥）に設けられる。

【0116】

強誘電体キャパシタC0～C3の各上部電極TEは、コンタクトP3を介して、上部電極TEの上方に設けられたプレート線PLと電氣的に接続される。プレート線PLは、コンタクトP4を介してソース／ドレイン領域SD9と電氣的に接続される。

【0117】

プレート電極PLの上方には、ビット線BLが設けられる。ビット線BLは、コンタクトP5を介してソース／ドレイン領域SD1と電氣的に接続される。

【0118】

第16実施形態に係る半導体集積回路装置によれば、第1実施形態の半導体集積回路装置のセルブロックCBを実現できる。また、ビット線BLの延在方向において3F、ワード線WL0～WL3の延在方向においてほぼ2Fの $6F^2$ のセルサイズを実現できる。

【0119】

（第17実施形態）

第17実施形態は、第16実施形態に適用可能なレイアウトに関する。図18、図19は、本発明の第17実施形態を示しており、図17の半導体集積回路装置に適用可能なレイアウトを示している。図18、図19のXVⅠⅠ-XVⅠⅠ線に沿った断面図が、図17に相当する。

【0120】

図18、図19に示すように、アクティブ領域AA1は、略V字形状を有する。V字の各辺が、ゲート電極BS、WL0をそれぞれ横切るように位置する。V字形状の頂点（2辺のそれぞれの一端）に、ソース／ドレイン領域SD2が形成され、この位置にコンタクトP1が形成される。2辺のそれぞれの他端にソース／ドレイン領域SD1、SD3が形成され、これらの位置にコンタクトP2、P5がそれぞれ形成される。アクティブ領域AA1は、V字形状に限られず、ソース／ドレイン領域SD1およびSD3と、ソース／ドレイン領域SD2と、のゲート電極の延在方向に沿った軸の上の座標の値が異なれば、どのような形状でも構わない。

【0121】

また、アクティブ領域AA2も、ゲート電極WL1、WL2に対して、アクティブ領域AA1と同様に形成される。アクティブ領域AA2の頂点にソース／ドレイン領域SD5が形成され、この位置にコンタクトP1が形成される。アクティブ領域AA2の2辺の他端にソース／ドレイン領域SD4、SD6がそれぞれ形成され、これらの位置にコンタクトP2がそれぞれ形成される。

【0122】

また、アクティブ領域AA3が、ゲート電極WL3、RSTに対してアクティブ領域AA1と同様に形成される。アクティブ領域AA3の頂点にソース／ドレイン領域SD8が形成され、この位置にコンタクトP1が形成される。アクティブ領域AA3の2辺の他端にソース／ドレイン領域SD7、SD9がそれぞれ形成され、これらの位置にコンタクトP2、P4がそれぞれ形成される。

【0123】

第17実施形態に係る半導体集積回路装置によれば、図17の半導体集積回路装置を実現でき、また第16実施形態と同じ効果を得られる。

【0124】

(第18実施形態)

第18実施形態は、第6、第11実施形態の半導体集積回路装置の構造に関する。図20は、本発明の題18実施形態を示しており、図7、図12の半導体集積回路装置に適用可能な、セルブロックCB0の断面構造を概略的に示している。セルブロックCB1～CB3も同様の構造によりに実現される。

【0125】

図20に示すように、図17の半導体集積回路装置とは、プレート線PL、/PLの構造、およびブロック選択トランジスタQS1が追加されたことが異なる。すなわち、半導体基板subの表面に、ソース/ドレイン領域SD1と距離を有してソース/ドレイン領域SD0が形成される。ソース/ドレイン領域SD0、SD1間の半導体基板sub上方にゲート絶縁膜(図示せぬ)を介してゲート電極(ブロック選択信号線)BS1が設けられる。ソース/ドレイン領域SD0、SD1、ゲート電極BS1により、ブロック選択トランジスタQS1が構成される。

【0126】

ゲート電極BS1の上方には、配線層M1が設けられる。配線層M1は、コンタクトP5を介してソース/ドレイン領域SD1と電氣的に接続される。ビット線/BLは、コンタクトCP6を介してソース/ドレイン領域SD0と電氣的に接続される。

【0127】

図17のプレート線PLの代わりに配線層M2が設けられる。配線層M2は、コンタクトP7を介して、ビット線/BLの上方に設けられたプレート線/PLと電氣的に接続される。

【0128】

図20のセルブロックCB0と同様の構成のセルブロックCB1が設けられた場合、セルブロックCB1の配線層M2は、コンタクトP7を介してプレート線PLと電氣的に接続される。

【0129】

第18実施形態に係る半導体集積回路装置によれば、第6、11実施形態の半導体集積回路装置のセルブロックCB0～CB3を実現でき、フォールデッドビット線構成を実現できる。

【0130】

(第19実施形態)

第19実施形態は、第18実施形態に適用可能なレイアウトに関する。図21、図22は、本発明の第19実施形態を示しており、図20の半導体集積回路装置に適用可能なレイアウトを示している。図21、図22のXX-XX線に沿った断面図が、図20に相当する。

【0131】

図21、図22は、アクティブ領域AA0、コンタクトP6が付加されたことを除いて図18、図19と同じである。アクティブ領域AA1と距離を有して、アクティブ領域AA0が形成され、この位置にコンタクトP6が形成される。なお、第17実施形態と同様に、アクティブ領域AA1～AA3の形状は、略V字形状に限られない。

【0132】

第19実施形態に係る半導体集積回路装置によれば、図20の半導体集積回路装置を実現でき、また第18実施形態と同じ効果を得られる。

【0133】

(第20実施形態)

第20実施形態は、半導体集積回路装置の構造に関する。第18実施形態では、プレート線PL、/PLは、ビット線/BLの上の階層に設けられ、配線層M2を介して強誘電体キャパシタC0～C3と電氣的に接続される。これに対して、第20実施形態では、第16実施形態と同様に、プレート線PL、/PLが配線層M2の階層に設けられる。

【0134】

図23は、本発明の第20実施形態を示しており、図7、図12の半導体集積回路装置に適用可能なセルブロックCB0の断面構造を概略的に示している。図23に示すように、図20の半導体集積回路装置とは、配線層M2がプレート線/PLとされていること、およびプレート線/PLと同じ階層にプレート線PLが設けられていることが異なる。プレート線PLは、図23と異なる平面において、例えばプレート線/PLと同じ方向に延在し、セルブロックCB1（図示せぬ）の上部電極TEとコンタクトP3を介して電氣的に接続される。

【0135】

第20実施形態によれば、図17の構造に、さらに上層の配線層を付加することなく、フォールデッドビット線構成を実現できる。

【0136】

(第21実施形態)

第21実施形態は、第20実施形態に適用可能なプレート線PL、/PLの形状に関する。図24は、本発明の第21実施形態を示しており、図23の半導体集積回路装置に適用可能なプレート線PL、/PLの平面形状を示している。図24に示すように、プレート線PL、/PLは、略楕形状を有する。プレート線PL、/PLの楕形状の歯に相当する部分が、図23で図面の横方向に延在するプレート線PL、/PLの位置に設けられる。プレート線PL、/PLは、図24の横方向においてセルブロック2つに亘り、歯に相当する部分のほぼ中央にコンタクトP4が形成される。

【0137】

第21実施形態によれば、第20実施形態と同じ効果を得られる。

【0138】

(第22実施形態)

第22実施形態は、半導体集積回路装置の構造に関する。第16～第20実施形態では、ローカルビット線LBL（ローカルビット線/LBL、LBL0）は、ゲート電極WL0～WL3上方に設けられた配線層により実現される。これに対し、第22実施形態では、アクティブ領域により実現される。

【0139】

図25は、本発明の第22実施形態を示しており、図7、図12の半導体集積回路装置に適用可能な、セルブロックの断面構造を概略的に示している。図25に示すように、ローカルビット線/LBL（0）、およびコンタクトP1が設けられていない。ソース/ドレイン領域SD2、SD5、SD8は、図25と異なる面（すなわち、手前または奥の面）のアクティブ領域によって相互に接続されている。これにより、ソース/ドレイン領域SD2、SD5、SD8が電氣的に接続される。

【0140】

第22実施形態によれば、ローカルビット線/LBLがアクティブ領域により実現されている。このため、ローカルビット線/LBLとして機能する配線層を設ける必要がない。よって、半導体集積回路装置の製造コストを低く抑えながら、第20実施形態と同じ効果を得られる。

【0141】

(第23実施形態)

第23実施形態は、第22実施形態に適用可能なレイアウトに関する。図26は、本発明の第23実施形態を示しており、図25の半導体集積回路装置に適用可能なレイアウトを示している。図26に示すように、アクティブ領域AA4は、第1部分と第2部分とを有する。第1部分は、ゲート電極BS0、WL0～WL3、RSTを横切る。第2部分は、第1部分から第1部分ゲート電極BS0、WL0～WL3、RSTの延在方向に伸びた後、第1部分と同方向に延在し、ゲート電極WL0～WL3を横切る。第1部分の両端は、ソース/ドレイン領域SA1、SD9に対応する。第2部分のうち、ゲート電極WL0の両側は、ソース/ドレイン領域SD2、SD3に対応する。ゲート電極WL1の両側は

、ソース／ドレイン領域SD4、SD5に対応し、ゲート電極WL2の両側は、ソース／ドレイン領域SD5、SD6に対応する。ゲート電極WL3の両側は、ソース／ドレイン領域SD7、SD8に対応する。

【0142】

第23実施形態によれば、ソース／ドレイン領域SD2、SD5、SD8は、アクティブ領域AA4の第1部分により電氣的に接続される。よって、第22実施形態と同じ効果を得られる。

【0143】

(第24実施形態)

第24実施形態は、第1実施形態の変形例に関わる。図27は、本発明の第24実施形態に係る半導体集積回路装置の回路構成を示している。図27に示すように、リセットトランジスタQRの一端（ローカルビット線LBLと接続された端部と反対の端部）が、第1電源VPR1と接続されている。スタンバイ時、この第1電源はプレート線PLの電位と等しくされることにより、第1実施形態と同じ状態を得られる。その他の構成、動作については、第1実施形態と同じである。

【0144】

第24実施形態によれば、第1実施形態と同じ効果を得られる。

【0145】

(第25実施形態)

第25実施形態は、第24実施形態の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

【0146】

図28は本発明の第25実施形態を示しており、図27の半導体集積回路装置の動作を示している。スタンバイ時、第1電源VPR1は電位Vssとされる。この状態で、第2実施形態と同様の動作が行われる。

【0147】

第25実施形態によれば、第2実施形態と同じ効果を得られる。

【0148】

(第26実施形態)

第26実施形態は、第6実施形態と第24実施形態とを組み合わせた構成を有する。図29は、本発明の第26実施形態に係る半導体集積回路装置の回路構成を示している。図29に示すように、第6実施形態（図7）の構成において、第24実施形態と同様、リセットトランジスタQR0、QR1の一端（ローカルビット線LBL、LBLとそれぞれ接続された端部と反対の端部）は第1電源VPR1と接続される。スタンバイ時、第1電源VPR1の電位がプレート線PLの電位と等しくされることにより、第6実施形態と同じ状態を得られる。その他の構成、動作については、第6実施形態と同じである。

【0149】

第26実施形態によれば、第6実施形態と同じ効果を得られる。

【0150】

(第27実施形態)

第27実施形態は、第26実施形態の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PL、／PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

【0151】

図30は本発明の第27実施形態を示しており、図29の半導体集積回路装置の動作を示している。スタンバイ時、第1電源VPR1の電位はVssとされる。この状態で、第2、第7実施形態と同様の動作が行われる。

【0152】

第27実施形態によれば、第26実施形態と2実施形態とを合せた効果を得られる。

【0153】

(第28実施形態)

第28実施形態は、第26実施形態の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第3実施形態と同様に、プレート線PL、／PLの電位を $1/2 V_{aa}$ に固定した場合に関する。

【0154】

図31は本発明の第28実施形態を示しており、図29の半導体集積回路装置の動作を示している。スタンバイ時、第1電源VPRの電位は $1/2 V_{aa}$ とされる。この状態で、第3、第8実施形態と同様の動作が行われる。

【0155】

第28実施形態によれば、第26実施形態と3実施形態とを合せた効果を得られる。

【0156】

(第29実施形態)

第29実施形態は、第26実施形態の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第4実施形態と同様に、プレート線PL、／PLが駆動される。

【0157】

図32は本発明の第29実施形態を示しており、図29の半導体集積回路装置の動作を示している。スタンバイ時、第1電源VPRの電位はrefに駆動されている。この状態で、第4、第9実施形態と同様の動作が行われる。

【0158】

第29実施形態によれば、第26実施形態と4実施形態とを合せた効果を得られる。

【0159】

(第30実施形態)

第30実施形態は、第26実施形態の半導体集積回路装置のプレート線PL、／PLの駆動方法の一例に関する。より詳しくは、第5、第10実施形態と同様にプレート線PL、／PLが駆動される。

【0160】

図33は本発明の第30実施形態を示しており、図29の半導体集積回路装置の動作を示している。スタンバイ時、第1電源電位VPRは内部電源電位 V_{aa} に駆動されている。この状態で、第5、第10実施形態と同様の動作が行われる。

【0161】

第30実施形態によれば、第26実施形態と5実施形態とを合せた効果を得られる。

【0162】

(第31実施形態)

第31実施形態では、リセットトランジスタが設けられない。図34は、本発明の題31実施形態に係る半導体集積回路装置の回路構成を示している。図34に示すように、図1の回路構成からリセットトランジスタQRが除かれた構成のセルブロックCB0、CB2が、ビット線BLに接続されている。各強誘電体キャパシタC0～C3、C8～C12の一端は、プレート線PLと接続される。次に、強誘電体キャパシタC1から情報が読み出される場合を例にとり、以下に動作の説明をする。

【0163】

スタンバイ時、プレート線PLおよびビット線BLには、同電位（典型的には、接地電位）が印加されている。この状態で、スタンバイ状態の間、セルトランジスタQ0～Q3、Q8からQ11、およびブロック選択トランジスタQS0、QS2はオンとされる。したがって、強誘電体キャパシタC0～C3、C8～C11の両端は同電位とされる。

【0164】

アクティブ時、非選択セルブロックCB2のブロック選択トランジスタQS2がオフとされ、選択セルブロックCB0内の選択セル以外のセルトランジスタQ0、Q2、Q3が

オフとされる。次に、プレート線 PL が駆動されることにより、選択セルの強誘電体キャパシタ C1 のみから情報が読み出される。この後、ビット線 BL 上の電位の増幅、再書き込みが、第 1 実施形態と同様に行われる。

【0165】

第 3 1 実施形態によれば、第 1 実施形態と同じ効果を得られる。

【0166】

(第 3 2 実施形態)

第 3 2 実施形態は、第 3 1 実施形態の半導体集積回路装置のプレート線 PL の駆動方法の一例に関する。より詳しくは、第 2 実施形態と同様に、プレート線 PL のスタンバイ時の電位を電位 V_{ss} 、駆動時の電位を内部電源電位 V_{aa} とした場合に関する。

【0167】

図 3 5 は、本発明の第 3 2 実施形態を示しており、図 3 4 の半導体集積回路装置の動作を示している。強誘電体キャパシタ C1 から情報を読み出す場合を例に取り、以下に、動作の説明をする。

【0168】

図 3 5 に示すように、スタンバイ時、ワード線 WL0 ~ WL7、ブロック選択信号 BS0、BS1 はハイレベルとされている。アクティブ時、選択セルブロック CB0 内の選択セル以外のセルトランジスタのワード線 WL0、WL2、WL3 がローレベルとされる。次に、非選択セルブロック CB1 のブロック選択信号 BS1 がローレベルとされる。選択されたセルブロック CB0 のブロック選択信号 BS0 はハイレベルのままとされる。この状態で、プレート線 PL が内部電源電位 V_{aa} に駆動されることにより、強誘電体キャパシタ C1 からビット線 BL にセル情報が読み出される。この後、ビット線 BL 上の電位の増幅、再書き込みが、第 1 実施形態と同様に行われる。そして、ワード線 WL0、WL2、WL3、ブロック選択信号 BS1 がハイレベルとされることにより、スタンバイ状態へ移行する。

【0169】

第 3 2 実施形態によれば、第 3 1 実施形態と同じ効果を得られる。

【0170】

(第 3 3 実施形態)

第 3 3 実施形態は、第 6 実施形態の構成に加え、ビット線 BL、 \neg BL の電位を増幅する増幅部が設けられた構成に関する。図 3 6 は、本発明の第 3 3 実施形態に係る半導体集積回路装置の回路構成を示している。図 3 6 に示すように、増幅トランジスタ QA0、QA1 が、セルブロック CB0 (CB1) 内に設けられる。増幅トランジスタ QA0 の一端はビット線 BL と接続され、他端は第 2 電源 V_{PR2} と接続され、ゲートはローカルビット線 \neg LBL と接続される。増幅トランジスタ QA1 の一端はビット線 \neg BL と接続され、他端は第 2 電源 V_{PR2} と接続され、ゲートはローカルビット線 LBL と接続される。増幅トランジスタ QA1 の他端を第 3 電源と接続し、第 3 電源が第 2 電源と同じ電位となるように制御することも可能である。

【0171】

次に、動作について説明する。スタンバイ時の状態は、第 6 実施形態と同じである。アクティブ時、リセットトランジスタ QR0、QR1、セルトランジスタ Q0、Q2、Q3、Q4、Q6、Q7 がオフとされる。この状態で、セルブロック CB0 内のセルから情報が読み出される場合、プレート線 \neg PL のみ駆動され、プレート線 PL は駆動されない。この結果、ローカルビット線 \neg LBL にセル情報が読み出される。

【0172】

ローカルビット線 \neg LBL に読み出された電位が増幅トランジスタ QA0 のゲートに供給され、増幅トランジスタ QA0 によって増幅される。この結果、ローカルビット線 \neg LBL に読み出された電位の反転データが増幅された信号がビット線 BL 上に現れる。ビット線 BL 上の電位は、およびビット線 \neg BL 上の参照電位がセンスアンプ SA により増幅される。

【0173】

センスアンプSAによる増幅後、選択セルブロックのブロック選択トランジスタQS0がオンとされる。この結果、ビット線/BLの電位が、ブロック選択トランジスタQS0を介して、ローカルビット線/LBLに転送される。よって、ビット線/BLの正論理の情報が、選択セルの強誘電体キャパシタに書き込みされる。すなわち、第1実施形態と同様に、読み出された情報が“0”データの場合、プレート線/PLの電位がハイレベルの状態ではデータが強誘電体キャパシタC1に書き戻される。“1”データの場合、プレート線/PLの電位がローレベルとされた後、書き戻される。

【0174】

一方、セルブロックCB1内のセルから情報が読み出される場合、読み出された電位が増幅トランジスタQA1のゲートに入力され、増幅トランジスタQA1によって増幅される。この結果、読み出された電位の反転データが増幅された信号がビット線/BL上に現れ、次いで、ビット線BL、/BL上の電位がセンスアンプSAにより増幅される。

【0175】

センスアンプSAによる増幅後、選択セルブロックのブロック選択トランジスタQS1がオンとされることにより、ローカルビット線LBLの電位が、ビット線BLと同電位とされる。よって、ビット線BLの正論理の情報が、選択セルの強誘電体キャパシタに書き込みされる。

【0176】

第33実施形態によれば、第6実施形態と同じ効果を得られる。さらに、第6実施形態によれば、ローカルビット線LBL、/LBL上の読み出し電位を増幅する増幅トランジスタQA0、QA1が設けられる。よって、ローカルビット線LBL、/LBLの小さい負荷容量で強誘電体キャパシタが分極反転するため、強誘電体キャパシタが小さい場合でも読み出し信号を確保できる。

【0177】

(第34実施形態)

第34実施形態は、第33実施形態の半導体集積回路装置のプレート線PL、/PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PL、/PLのスタンバイ時の電位を電位Vss、駆動時の電位を内部電源電位Vaaとした場合に関する。

【0178】

図37は本発明の第34実施形態を示しており、図36の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報を読み出す場合を例に取り、以下に、動作の説明をする。

【0179】

図37に示すように、スタンバイ時、リセット信号RST、ワード線WL0~WL3はハイレベルとされ、ブロック選択信号BS、/BSはローレベルとされ、プレート線PL、/PLは電位Vssとされている。よって、ローカルビット線/LBLはローレベルとされ、強誘電体キャパシタC0~C3の両端は同電位とされている。ローカルビット線LBLも同様である。

【0180】

アクティブ時、リセット信号RST、および非選択セルのワード線WL0、WL2、WL3がローレベルとされる。この状態で、プレート線PLが内部電源電位Vaaに駆動されることにより、ローカルビット線/LBLに強誘電体キャパシタC1から情報が読み出される。この読み出された電位が増幅トランジスタQA0によって増幅され、この結果、ローカルビット線/LBLに読み出された電位の反転データが増幅された信号がビット線BL上に現れる。ビット線BL、/BL上の電位はセンスアンプSAにより増幅される。

【0181】

増幅後、ブロック選択信号/BSがハイレベルとされる。この結果、ビット線/BLの電位が、ローカルビット線/LBLに転送されることにより強誘電体キャパシタC1に再

書き込みされる。この後、リセット信号 RST、ワード線 WL0、WL2、WL3 がハイレベルとされ、ブロック選択信号 /BS がローレベルとされることにより、スタンバイ状態へ移行する。

【0182】

第34実施形態によれば、第33実施形態と第2実施形態とを合せた効果を得られる。

【0183】

(第35実施形態)

第35実施形態は、第33実施形態と第24実施形態とを組み合わせた構成を有する。図38は、本発明の第35実施形態に係る半導体集積回路装置の回路構成を示している。図38に示すように、第33実施形態(図36)の構成において、第24実施形態と同様に、リセットトランジスタ QR0、QR1 の一端は、第1電源 VPR1 と接続される。スタンバイ時、第1電源 VPR1 の電位がプレート線 PL の電位と等しくされる。この結果、第34実施形態と同じ状態を得られる。その他の構成、動作については、第34実施形態と同じである。

【0184】

第35実施形態によれば、第34実施形態と同じ効果を得られる。

【0185】

(第36実施形態)

第36実施形態は、第35実施形態の半導体集積回路装置のプレート線 PL、/PL の駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線 PL、/PL のスタンバイ時の電位を電位 Vss、駆動時の電位を内部電源電位 Vaa とした場合に関する。

【0186】

図39は本発明の第36実施形態を示しており、図38の半導体集積回路装置の動作を示している。図39に示すように、スタンバイ時、第1電源 VPR1 は電位 Vss とされる。この状態で、第34実施形態と同様の動作が行われる。

【0187】

第36実施形態によれば、第35実施形態と第2実施形態とを合せた効果を得られる。

【0188】

(第37実施形態)

第37実施形態は、第1～第36実施形態、および後述の第41～第44実施形態に係る半導体集積回路装置の適用例に関する。図40は、本発明の第37実施形態に係るデジタル加入者線用モデムのデータパス部分を示すブロック図である。図40に示すように、このモデムは、プログラマブルデジタルシグナルプロセッサ(DSP: Digital Signal Processor) 100、アナログーデジタル(A/D)コンバータ 110、デジタルーアナログ(D/A)コンバータ 120、送信ドライバ 130、および受信機増幅器 140 などを含んでいる。

【0189】

図40では、バンドパスフィルタが省略されている。その代わりに回線コードプログラム(DSPで実行される、コード化された加入者回線情報、伝送条件等(回線コード; QAM、CAP、RSK、FM、AM、PAM、DWTM等)に応じてモデムを選択、動作させるためのプログラム)を保持するための種々のタイプのオプションのメモリが設けられる。このメモリとして、第1～第36実施形態、および第41～第44実施形態の半導体集積回路装置(FeRAM) 170を示している。

【0190】

なお、本実施形態では、回線コードプログラムを保持するためのメモリとして半導体集積回路装置 170 が用いられているが、半導体集積回路装置 170 のメモリに加えて従来のMROM、SRAM、フラッシュメモリが接続されていてもよい。

【0191】

(第38実施形態)

第38実施形態は、第1～第36実施形態、および第41～第44実施形態に係る半導体集積回路装置の適用例に関する。図41は本発明の第38実施形態に係る、携帯電話端末300を示している。図41に示すように、通信機能を実現する通信部200は、送信アンテナ201、アンテナ共用器202、受信部203、ベースバンド処理部204、音声コーデックとし用いられるDSP205、スピーカ（受話器）206、マイクロホン（送話器）207、送信部208、および周波数シンセサイザ209等を備えている。

【0192】

また、この携帯電話端末300は、当該携帯電話端末の各部を制御する制御部220を有する。制御部220は、CPU（Central Processing Unit）221、ROM222、第1～第36実施形態、および第41～第44実施形態の半導体集積回路装置（FeRAM）223、フラッシュメモリ224がCPUバス225を介して接続されて形成されたマイクロコンピュータである。ROM222には、CPU221において実行されるプログラムや表示用のフォント等に関して必要なデータが予め記憶されている。

【0193】

FeRAM223は、主に作業領域と電源オフ直前のデータ保存に用いられ、CPU221がプログラムの実行中において計算途中のデータなどを必要に応じて記憶したり、制御部220と各部との間でやり取りするデータを電源オフの間、一時記憶したりするため等に用いられる。また、フラッシュメモリ224は、書き込み速度が遅いため、電源投入のプログラムロード等のデータ記憶に用いられる。また、容量が大きいので、大容量のデータ保存に用いられる。

【0194】

また、携帯電話端末300は、音声データ再生処理部211、外部出力端子212、LCD（Liquid Crystal Display）コントローラ213、表示用のLCD214、呼び出し音を発生するリング215を有する。音声データ再生処理部211は、携帯電話端末300に入力された音声データ（あるいは後述する外部メモリ240に記憶された音声データ）を再生する。再生された音声データは、外部出力端子212を介してヘッドホンや携帯型スピーカ等に伝えることにより、外部に取り出される。LCDコントローラ213は、例えばCPU221からの表示情報をCPUバス225を介して受け取り、LCD214を制御するためのLCD制御情報に変換する。この制御情報によって、LCD214が駆動され、情報が表示される。

【0195】

また、携帯電話端末300は、インターフェース回路（I/F）231、233、235、外部メモリ240、外部メモリスロット232、キー操作部234、外部入出力端子236を有する。外部メモリスロット232にはメモリカード等の外部メモリ240が挿入される。外部メモリスロット232は、インターフェース回路231を介してCPUバス225に接続される。このように、携帯電話端末300にスロット232を設けることにより、携帯電話端末300の内部の情報を外部メモリ240に書き込んだり、あるいは外部メモリ240に記憶された情報（例えば音声データ）を携帯電話端末300に入力したりすることが可能となる。キー操作部234は、インターフェース回路233を介してCPUバス225に接続される。キー操作部234から入力されたキー入力情報は、例えばCPU221に伝えられる。外部入出力端子236は、インターフェース回路233を介してCPUバス225に接続され、携帯電話端末300に外部から種々の情報を入力したり、あるいは携帯電話端末300から外部へ情報を出力したりする際の端子として機能する。

【0196】

なお、本実施形態では、ROM222、FeRAM223、フラッシュメモリ224が用いられているが、フラッシュメモリ224、ROM222の両方またはいずれか一方をFeRAMに置き換えることもできる。

【0197】

（第39実施形態）

第39実施形態は、第1～第36実施形態、および第41～第44実施形態に係る半導体集積回路装置の適用例に関し、第1～第36実施形態、および第41～第44実施形態に係る半導体集積回路装置をスマートメディア等のメディアコンテンツを収納するカードに適用した例に関する。

【0198】

図42は、第39実施形態に係るメモリカードを示している。図42に示すように、メモリカード400には、FeRAMチップ401が内蔵されている。FeRAMチップ401は、第1～第36実施形態、および第41～第44実施形態の半導体集積回路装置を含んでいる。

【0199】

(第40実施形態)

第40実施形態は、第1～第36実施形態、および第41～第44実施形態に係る半導体集積回路装置の適用例に関し、第1～第36実施形態、および第41～第44実施形態に係る半導体集積回路装置をシステムLSIに適用した例に関する。メモリおよびロジック等を1つのシステムチップに集積し、1つのシステムを形成する、いわゆるシステムLSI (Large Scale Integrated Circuit) が知られている。システムLSIでは、図43に例示するように、RAM回路RAM、ロジック回路LOGIC等の複数の機能ブロック501 (コア、マクロ、IP (Intellectual property)) が半導体チップ (半導体基板) 502の上に設けられる。そして、これらマクロ501により、全体として所望のシステムが構築される。RAM回路RAMは、例えば、SRAM、DRAM等により構成される。

【0200】

(第41実施形態)

第41実施形態は、フォールデッドビット線構成で、一本のプレート線PLが共用される構成を有する。図53は、本発明の第41実施形態に係る半導体集積回路装置の回路構成を示している。図53に示すように、第41実施形態の回路構成は、以下の点を除いて、第6実施形態を示す図7と同じである。すなわち、図7では、2つのビット線/BL、BLに対してプレート線/PL、PLがそれぞれ設けられている。これに対して、図53では、1つのプレート線PLが、リセットトランジスタQR0、QR1を介して、ローカルビット線/LBL、LBLにそれぞれ接続されている。リセットトランジスタQR0、QR1のゲートには、リセット信号/RST、リセット信号RSTがそれぞれ供給される。

【0201】

動作に関しても第6実施形態と同様である。すなわち、スタンバイ時、リセットトランジスタQR0、QR1はオンとされている。アクティブ時、セルブロックCB0内のメモリセルの読み出しの場合、リセットトランジスタQR0がオフとされ、非選択セルのセルトランジスタがオフとされる。次に、ブロック選択トランジスタQS0がオンとされ、プレート線PLが駆動される。リセットトランジスタQR1はオンのままとされ、ブロック選択トランジスタQS1はオフのままとされる。セルブロックCB1内のメモリセルの読み出しの場合は、ブロック選択トランジスタQS1がオンとされ、ブロック選択トランジスタQS0がオフのままとされることを除いて、同様に行われる。

【0202】

第41実施形態に係る半導体集積回路装置によれば、第6実施形態と同じ効果を得られる。さらに、第41実施形態によれば、プレート線PLが2つのセルブロックCB0、CB1により共用される。このため、プレート線PLが2つ設けられた場合よりもプレート線間のピッチの制限が緩和される。また、フォールデッドビット線構造においても、第6実施形態よりさらにプレート線の数を減少することができるため、プレート線駆動回路PLDの面積をさらに縮小でき、駆動能力の向上を実現できる。

【0203】

(第42実施形態)

第42実施形態は、第41実施形態の半導体集積回路装置のプレート線PLの駆動方法

の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PLのスタンバイ時の電位を電位 V_{ss} 、駆動時の電位を内部電源電位 V_{aa} とした場合に関する。

【0204】

図54は本発明の第42実施形態を示しており、図53の半導体集積回路装置の動作を示している。強誘電体キャパシタC1から情報が読み出される場合を例に取り、以下に動作の説明をする。

【0205】

図54に示すように、スタンバイ時、リセット信号RST、 \neg RST、ワード線WL0~WL3はハイレベルとされ、ブロック選択信号BS、BS \neg はローレベルとされている。プレート線PLは、電位 V_{ss} とされている。

【0206】

アクティブ時、リセット信号 \neg RSTがローレベルとされ、非選択セルのワード線WL0、WL2、WL3がローレベルとされる。選択セルのワード線WL1はハイレベルを維持する。次いで、ブロック選択信号BSがハイレベルとされることにより、ブロック選択トランジスタQS0がオンとされる。この間、リセット信号RSTはハイレベルを維持し、ブロック選択信号BSはローレベルを維持する。

【0207】

この状態で、プレート線 \neg PLが内部電源電位 V_{aa} に駆動されることにより、強誘電体キャパシタC1からビット線 \neg BLにセル情報が読み出される。ビット線 \neg BL上の電位は、ビット線BL上の電位を参照電位として用いて、センスアンプSAにより増幅される。セルブロックCB1内のメモリセルの読み出しの場合も同様である。

【0208】

セルブロックCB0内の強誘電体キャパシタC0~C3からの情報の読み出しの間、リセット信号RSTはハイレベルを維持し、ブロック選択信号BSはローレベルを維持する。このため、プレート線PLが駆動されても、ローカルビット線LBLとプレート線PLは短絡され、且つセルブロックCB1はビット線BLと電氣的に分離されている。このため、セルブロックCB1内の強誘電体キャパシタC4~C7には、電圧が印加されない。

【0209】

第42実施形態に係る半導体集積回路装置によれば、第41実施形態と第2実施形態とを合せた効果を得られる。

【0210】

なお、第42実施形態は、第41実施形態の回路構成に、第2実施形態と同様のプレート線駆動方法を合せたものに関わる。しかしながら、第41実施形態に第8~第10実施形態のプレート線駆動方法を適用することも可能である。この場合、第41実施形態と、第8~第10実施形態とをそれぞれ合せた効果を得られる。

【0211】

(第43実施形態)

第43実施形態は、第1実施形態の1つのメモリセルにおいて、強誘電体キャパシタとセルトランジスタとの接続関係が逆転した構成を有する。

【0212】

図55は、本発明の第43実施形態に係る半導体集積回路装置の回路構成を示している。図55に示すように、第43実施形態の回路構成は、強誘電体キャパシタC0~C3と、セルトランジスタQ0~Q3と、の接続関係が逆となっている点を除いて、図1と同じである。すなわち、各メモリセルにおいて、セルトランジスタQ0~Q3の一端は強誘電体キャパシタC0~C3とそれぞれ接続され、他端はプレート線PLと接続される。また、強誘電体キャパシタC0~C3の他端は、ローカルビット線LBLと接続される。動作に関しては、第1実施形態と全く同じである。

【0213】

第43実施形態に係る半導体集積回路装置によれば、第1実施形態と同じ効果を得られる。なお、第43実施形態のメモリセルの構成を第6、第11、第24、第26、第31

、第33、第38実施形態の回路構成の各メモリセルに適用することが可能である。

【0214】

(第44実施形態)

第44実施形態は、第43実施形態の半導体集積回路装置のプレート線PLの駆動方法の一例に関する。より詳しくは、第2実施形態と同様に、プレート線PLのスタンバイ時の電位を電位 V_{ss} 、駆動時の電位を内部電源電位 V_{aa} とした場合に関する。

【0215】

図56は、本発明の第43実施形態を示しており、図55の半導体集積回路装置の動作を示している。図56に示すように、各信号線の電位の変化は、第2実施形態と同じである。

【0216】

第44実施形態によれば、第43実施形態と第2実施形態とを合せた効果を得られる。また、

なお、第44実施形態は、第43実施形態の回路構成に第2実施形態と同様のプレート線駆動方法を合せたものに関わる。しかしながら、第43実施形態に第2～第4実施形態のプレート線駆動方法を適用することも可能である。この場合、第43実施形態(第6、第11、第24、第26、第31、第33、第38実施形態を含む)と、第2～第4実施形態とをそれぞれ合せた効果を得られる。

【0217】

なお、実施形態中で図を用いて説明していないが、全実施形態で用いられる個々の発明を組み合わせることにより、多数の構成を実現できる。また、1トランジスタと1強誘電体キャパシタで1ビットの情報を記憶する構成であることが示唆されているが、2種類のブロック選択信号、プレート信号を動作させ、2つのセルで1ビット情報を記憶する方式でも良い。また、従来提案されている多値方式を各実施形態に適用することもできる。

【0218】

その他、本発明の思想の範疇において、当業者であれば、各種の変更例及び修正例に想到し得るものであり、それら変更例及び修正例についても本発明の範囲に属するものと了解される。

【図面の簡単な説明】

【0219】

【図1】本発明の第1実施形態に係る半導体集積回路装置の回路構成を示す図。

【図2】本発明の第2実施形態を示しており、図1の半導体集積回路装置の動作を示す図。

【図3】本発明の第2実施形態の変形例を示しており、図1の半導体集積回路装置の動作を示す図。

【図4】本発明の第3実施形態を示しており、図1の半導体集積回路装置の動作を示す図。

【図5】本発明の第4実施形態を示しており、図1の半導体集積回路装置の動作を示す図。

【図6】本発明の第5実施形態を示しており、図1の半導体集積回路装置の動作を示す図。

【図7】本発明の第6実施形態に係る半導体集積回路装置の回路構成を示す図。

【図8】本発明の第7実施形態を示しており、図7の半導体集積回路装置の動作を示す図。

【図9】本発明の第8実施形態を示しており、図7の半導体集積回路装置の動作を示す図。

【図10】本発明の第9実施形態を示しており、図7の半導体集積回路装置の動作を示す図。

【図11】本発明の第10実施形態を示しており、図7の半導体集積回路装置の動作を示す図。

【図 12】本発明の第 1 1 実施形態に係る半導体集積回路装置の回路構成を示す図。

【図 13】本発明の第 1 2 実施形態を示しており、図 12 の半導体集積回路装置の動作を示す図。

【図 14】本発明の第 1 3 実施形態を示しており、図 12 の半導体集積回路装置の動作を示す図。

【図 15】本発明の第 1 4 実施形態を示しており、図 12 の半導体集積回路装置の動作を示す図。

【図 16】本発明の第 1 5 実施形態を示しており、図 12 の半導体集積回路装置の動作を示す図。

【図 17】本発明の第 1 6 実施形態を示しており、図 1 の半導体集積回路装置に適用可能な、セルブロックの断面構造を概略的に示す図。

【図 18】本発明の第 1 7 実施形態を示しており、図 17 の半導体集積回路装置に適用可能なレイアウトを示す図。

【図 19】本発明の第 1 7 実施形態を示しており、図 17 の半導体集積回路装置に適用可能なレイアウトを示す図。

【図 20】本発明の第 1 8 実施形態を示しており、図 7、図 12 の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図 21】本発明の第 1 9 実施形態を示しており、図 20 の半導体集積回路装置に適用可能なレイアウトを示す図。

【図 22】本発明の第 1 9 実施形態を示しており、図 20 の半導体集積回路装置に適用可能なレイアウトを示す図。

【図 23】本発明の第 2 0 実施形態を示しており、図 7、図 12 の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図 24】本発明の第 2 1 実施形態を示しており、図 23 の半導体集積回路装置に適用可能なプレート線の平面形状を示す図。

【図 25】本発明の第 2 2 実施形態を示しており、図 7、図 12 の半導体集積回路装置に適用可能なセルブロックの断面構造を概略的に示す図。

【図 26】本発明の第 2 3 実施形態を示しており、図 25 の半導体集積回路装置に適用可能なレイアウトを示す図。

【図 27】本発明の第 2 4 実施形態に係る半導体集積回路装置の回路構成を示す図。

【図 28】本発明の第 2 5 実施形態を示しており、図 27 の半導体集積回路装置の動作を示す図。

【図 29】本発明の第 2 6 実施形態に係る半導体集積回路装置の回路構成を示す図。

【図 30】本発明の第 2 7 実施形態を示しており、図 29 の半導体集積回路装置の動作を示す図。

【図 31】本発明の第 2 8 実施形態を示しており、図 29 の半導体集積回路装置の動作を示す図。

【図 32】本発明の第 2 9 実施形態を示しており、図 29 の半導体集積回路装置の動作を示している。

【図 33】本発明の第 3 0 実施形態を示しており、図 29 の半導体集積回路装置の動作を示す図。

【図 34】本発明の第 3 1 実施形態に係る半導体集積回路装置の回路構成を示す図。

【図 35】本発明の第 3 2 実施形態を示しており、図 34 の半導体集積回路装置の動作を示す図。

【図 36】本発明の第 3 3 実施形態に係る半導体集積回路装置の回路構成を示している。

【図 37】本発明の第 3 4 実施形態を示しており、図 36 の半導体集積回路装置の動作を示す図。

【図 38】本発明の第 3 5 実施形態に係る半導体集積回路装置の回路構成を示す図。

【図 39】本発明の第 3 6 実施形態を示しており、図 38 の半導体集積回路装置の動作を示す図。

作を示す図。

【図 40】本発明の第 37 実施形態に係るデジタル加入者線用モデムのデータパス部分を示すブロック図。

【図 41】本発明の第 38 実施形態に係る携帯電話端末を示すブロック図。

【図 42】本発明の第 39 実施形態に係るメモリカードを示す図。

【図 43】本発明の第 40 実施形態に係るシステム LSI を示す図。

【図 44】従来の半導体集積回路装置の回路構成を示す図。

【図 45】図 44 の半導体集積回路装置の平面構造を示す図。

【図 46】図 44 の半導体集積回路装置の断面構造を示す図。

【図 47】図 44 の半導体集積回路装置の動作を示す図。

【図 48】従来の半導体集積回路装置の問題点を説明するための図。

【図 49】従来の半導体集積回路装置の問題点を説明するための図。

【図 50】先願の半導体集積回路装置の回路構成を示す図。

【図 51】先願の半導体集積回路装置の断面構造を示す図。

【図 52】先願の半導体集積回路装置の平面構造を示す図。

【図 53】本発明の第 41 実施形態に係る半導体集積回路装置の回路構成を示す図。

【図 54】本発明の第 42 実施形態を示しており、図 53 の半導体集積回路装置の動作を示す図。

【図 55】本発明の第 43 実施形態に係る半導体集積回路装置の回路構成を示す図。

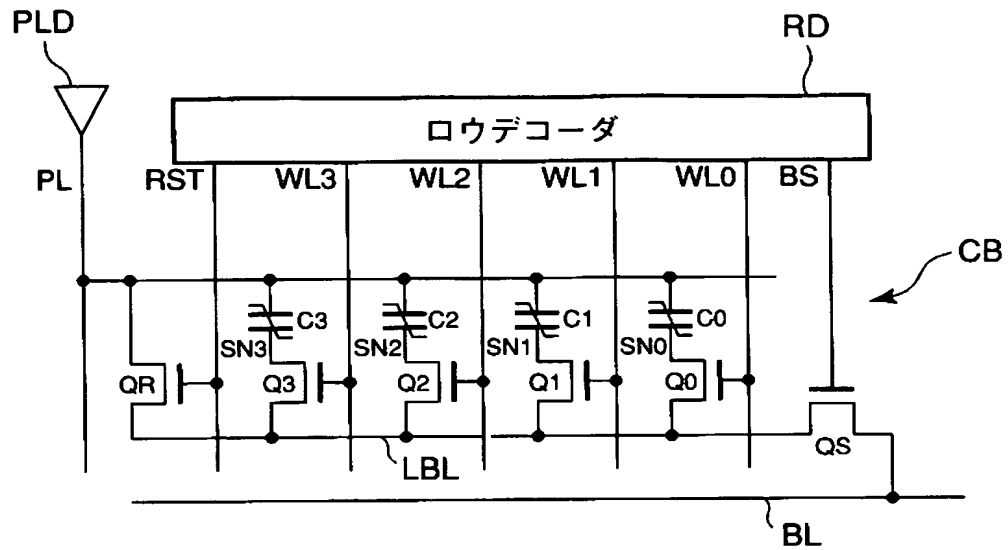
【図 56】本発明の第 44 実施形態を示しており、図 55 の半導体集積回路装置の動作を示す図。

【符号の説明】

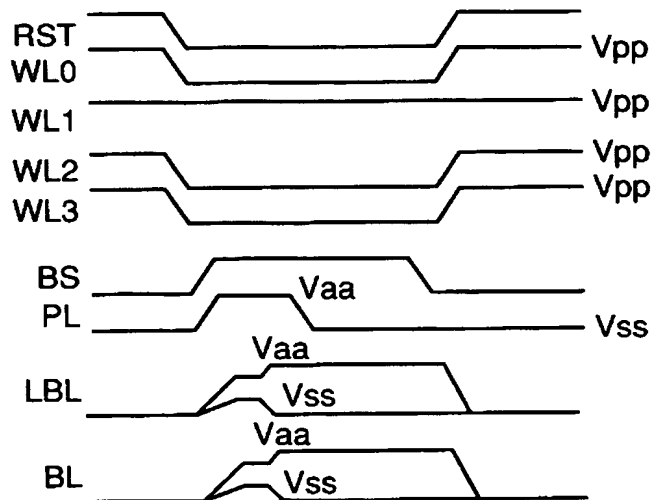
【0220】

Q0～Q15…セルトランジスタ、C0～C15…強誘電体キャパシタ、WL0～WL7…ワード線、BL、/BL…ビット線、PL、/PL…プレート線、LBL、/LBL…ローカルビット線、QR、QR0～QR3…リセットトランジスタ、RST、RST0、RST1…リセット信号、BL、/BL…ビット線、QS、QS0～QS3…ブロック選択トランジスタ、BS、/BS、BS0、/BS0、BS1、/BS1…ブロック選択信号、CB、CB0～CB3…セルブロック、SN0～SN3…セルノード、CNT…コントローラ、PLD…プレート線ドライバ、SA…センスアンプ、sub…半導体基板、SD1～SD9…ソース/ドレイン領域、P1～P7…コンタクト、BE…下部電極、F…強誘電体膜、TE…上部電極、AA0～AA3…アクティブ領域、M1～M2…配線層、QA0、QA1…増幅トランジスタ、100…プログラマブルデジタルシグナルプロセッサ、110…アナログーデジタルコンバータ、120…デジタルーアナログコンバータ、130…送信ドライバ、140…受信機増幅器、170、223…半導体集積回路装置、200…通信部、201…送受信アンテナ、202…アンテナ共用器、203…受信部、204…ベースバンド処理部、205…DSP、206…スピーカ、207…マイクロホン、208…送信部、209…周波数シンセサイザ、211…音声データ再生処理部、212…外部出力端子、213…LCDコントローラ、214…LCD、215…リング、220…制御部、221…CPU、222…ROM、224…フラッシュメモリ、231、233、235…インターフェース回路、232…外部メモリスロット、234…キー操作部、236…外部出力端子、240…外部メモリ、300…携帯電話端末、400…メモリカード、401…FeRAMチップ、501…マクロ、502…半導体チップ。

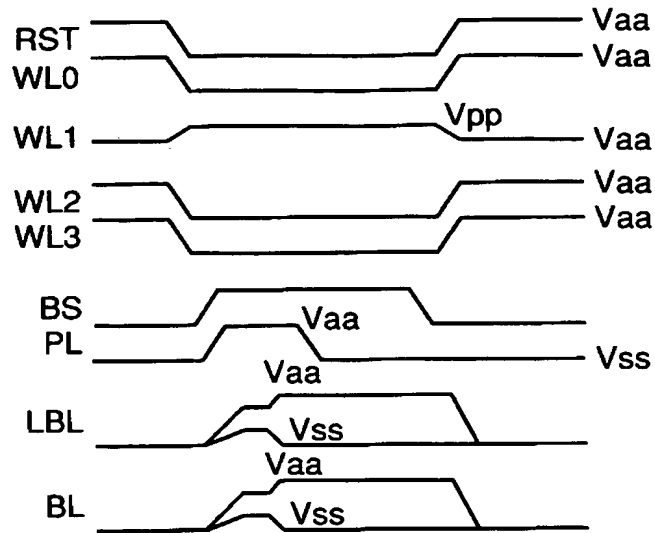
【書類名】 図面
【図 1】



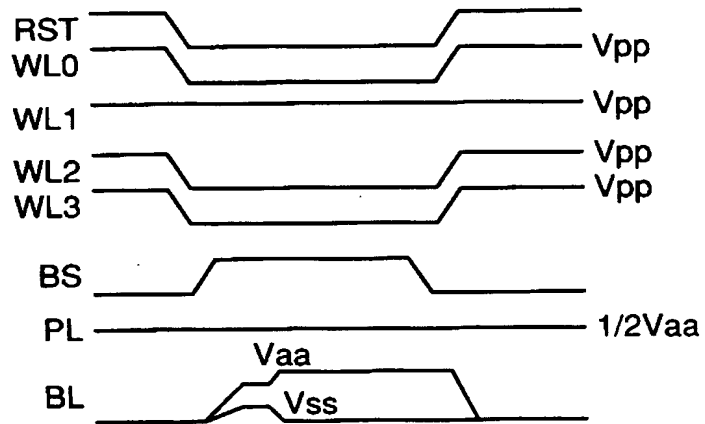
【図 2】



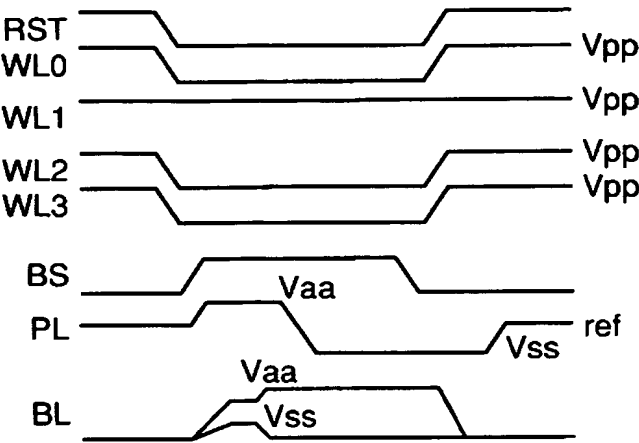
【図 3】



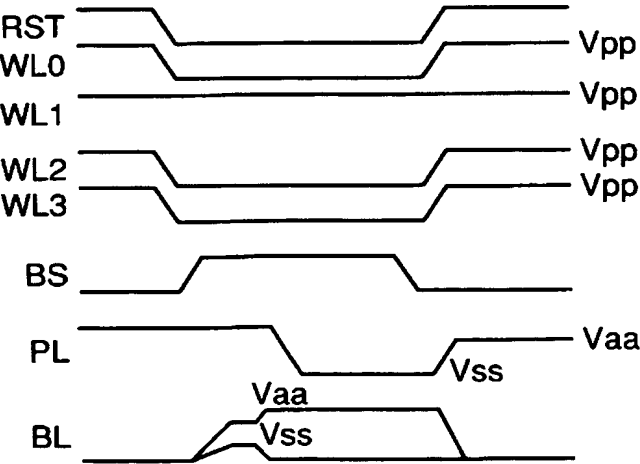
【図 4】



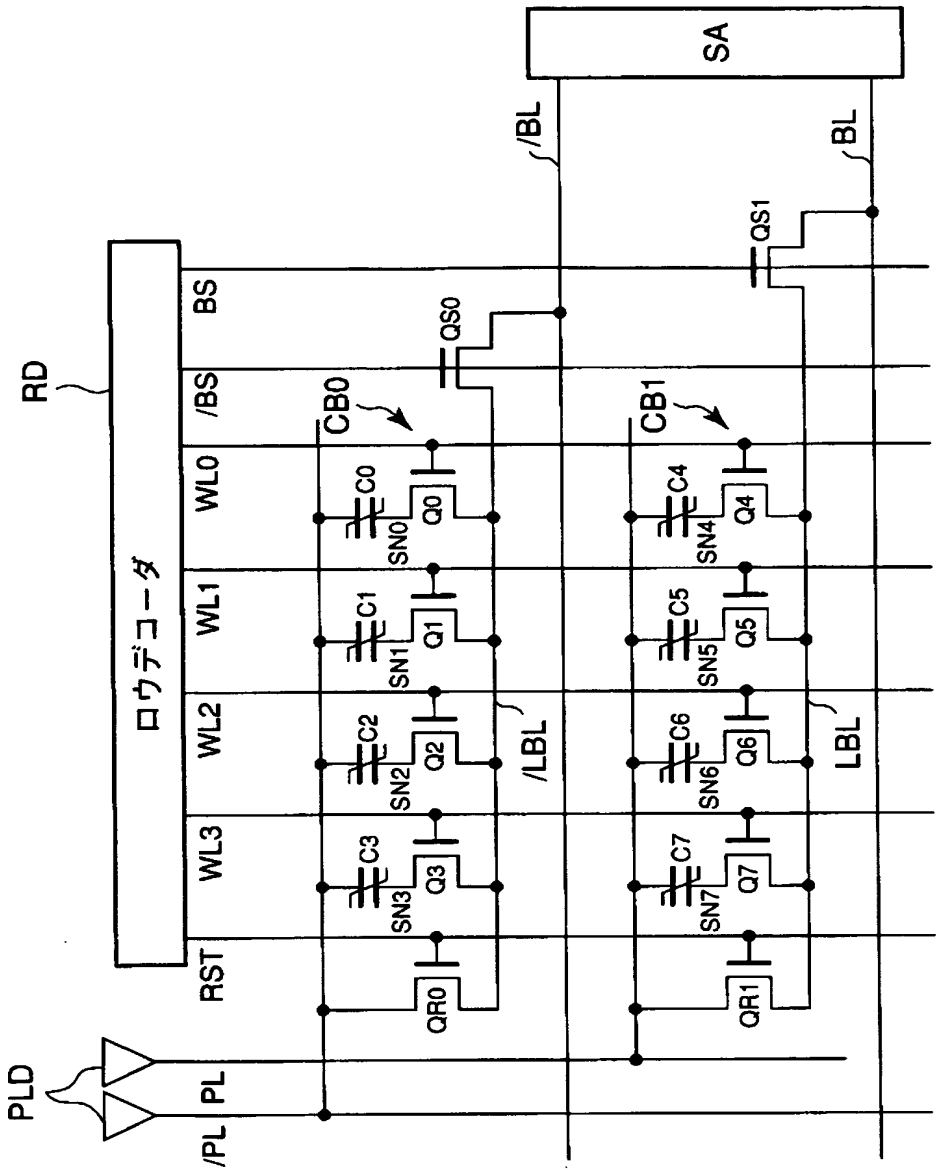
【図 5】



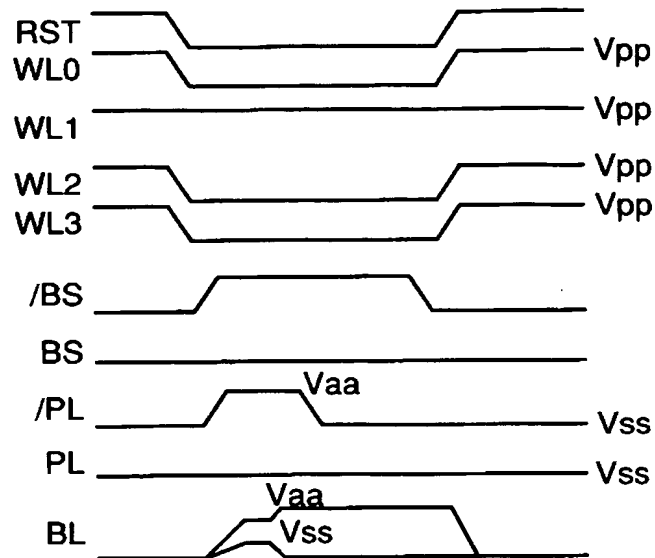
【図 6】



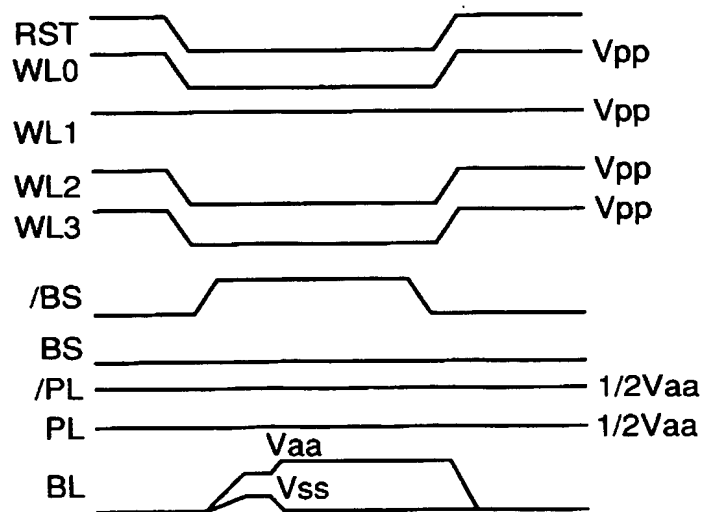
【図 7】



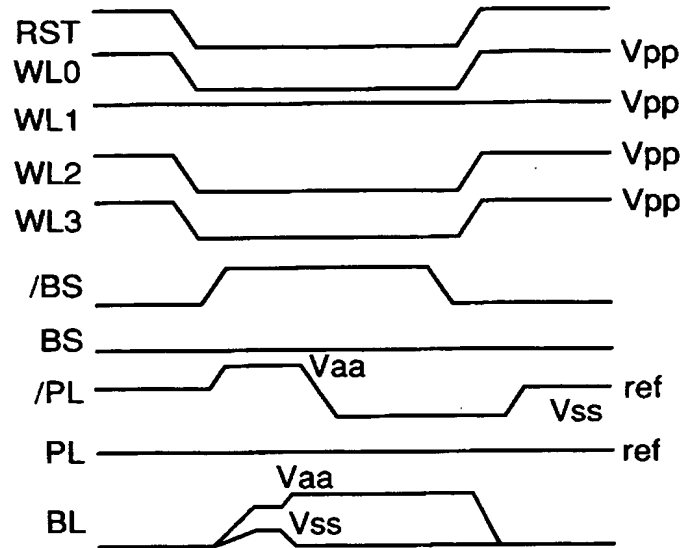
【図 8】



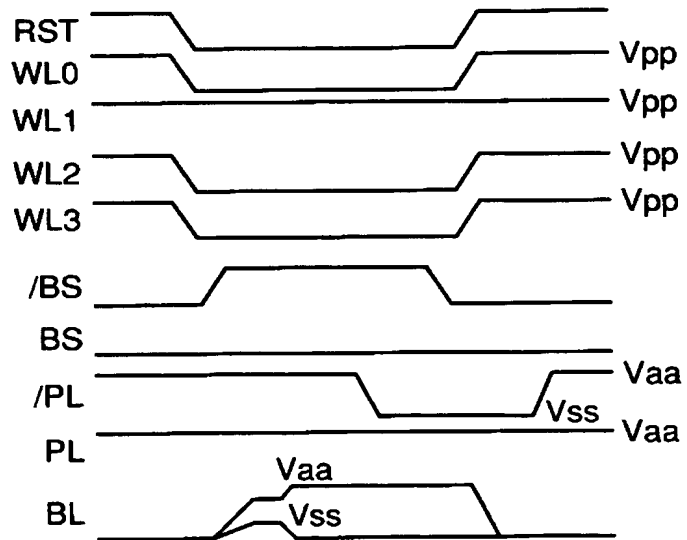
【図 9】



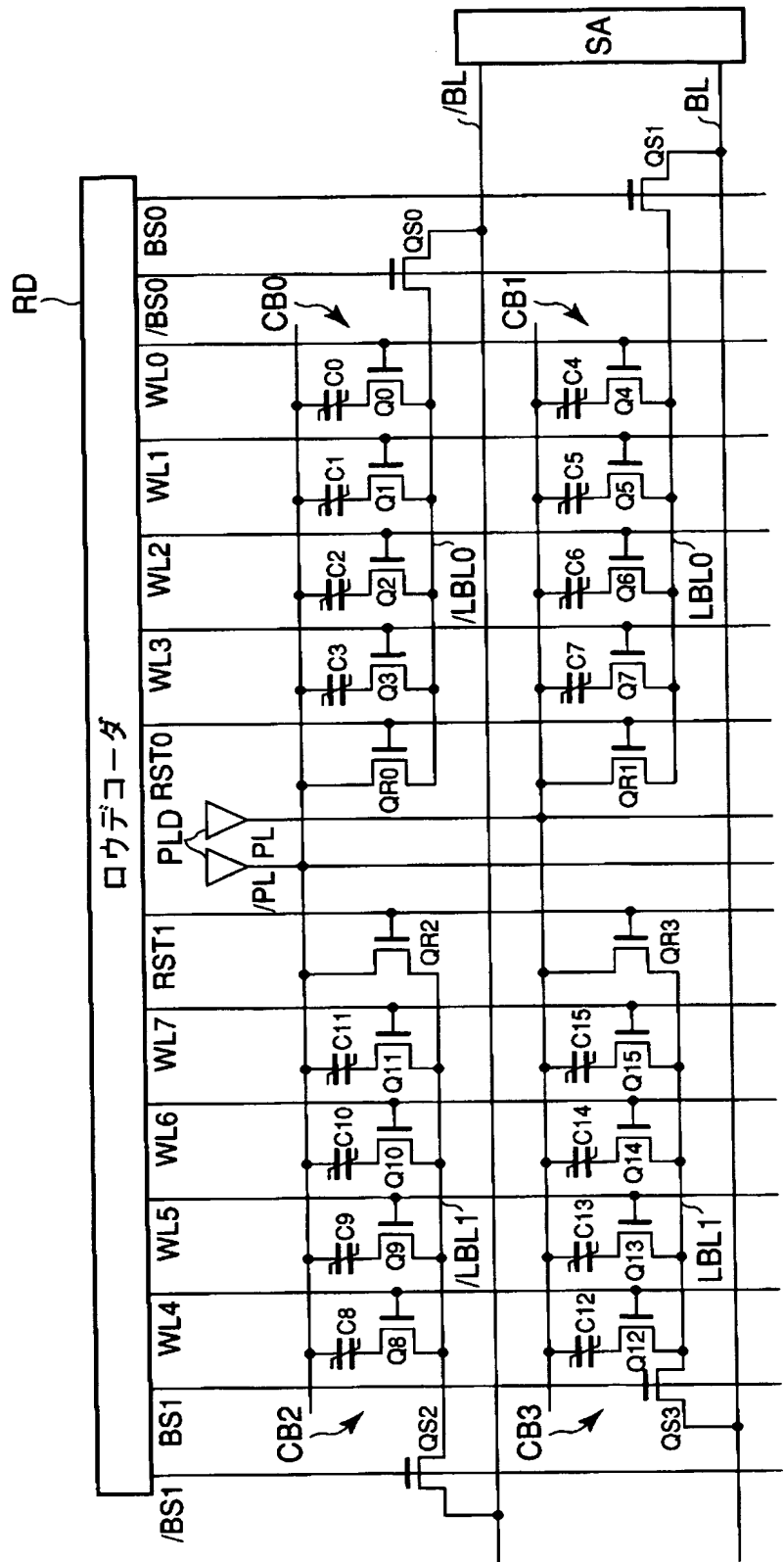
【図 10】



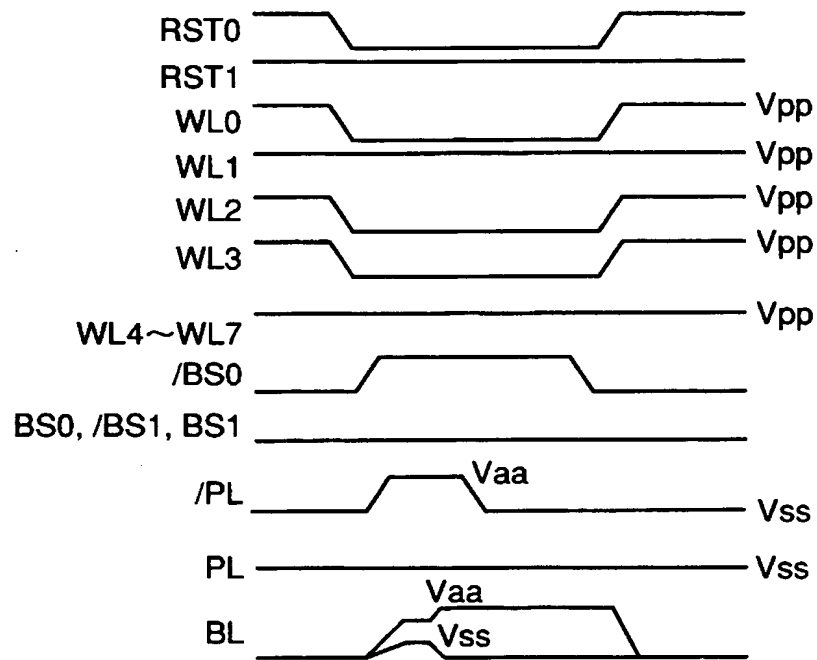
【図 11】



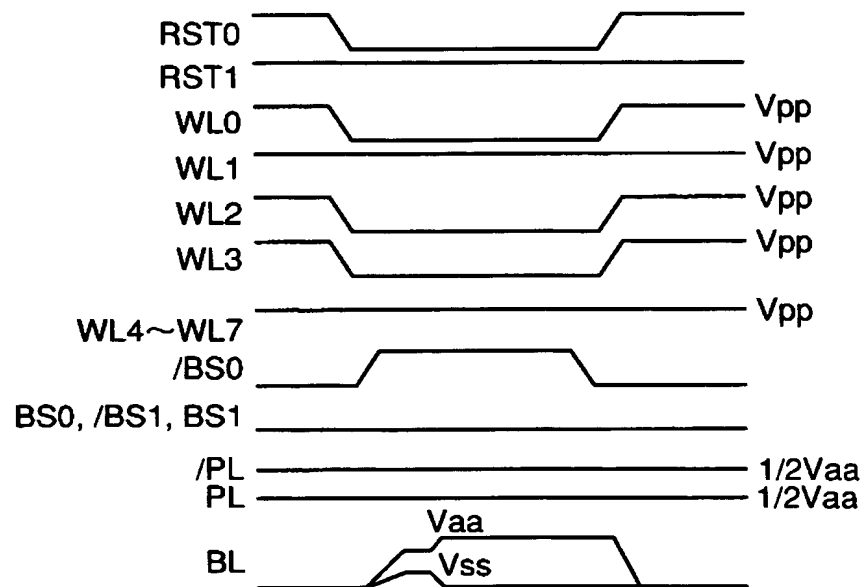
【図 12】



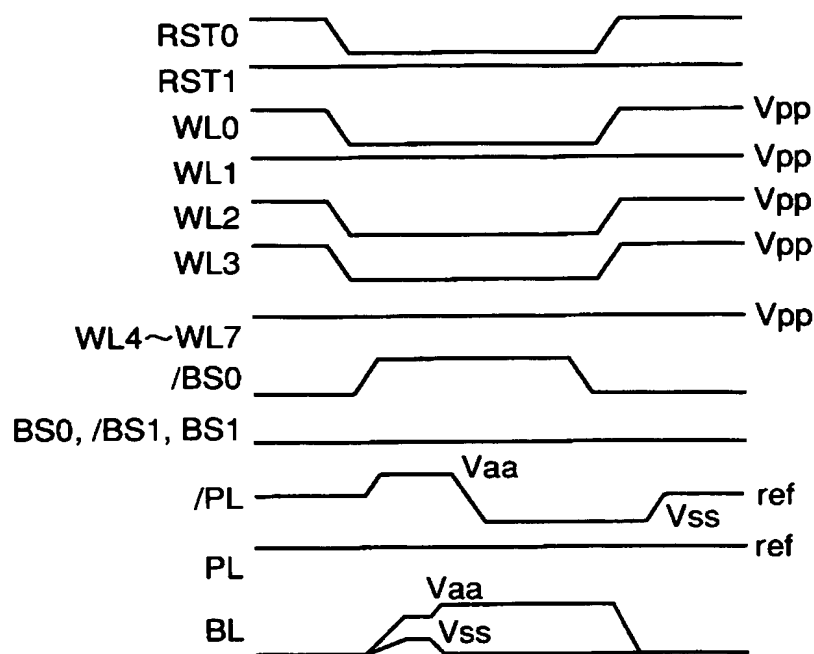
【図 13】



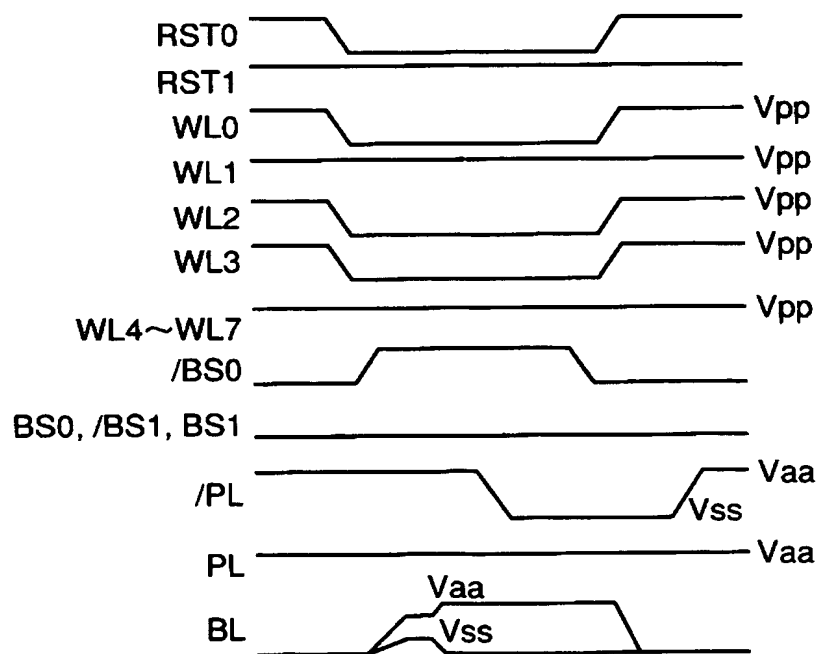
【図 14】



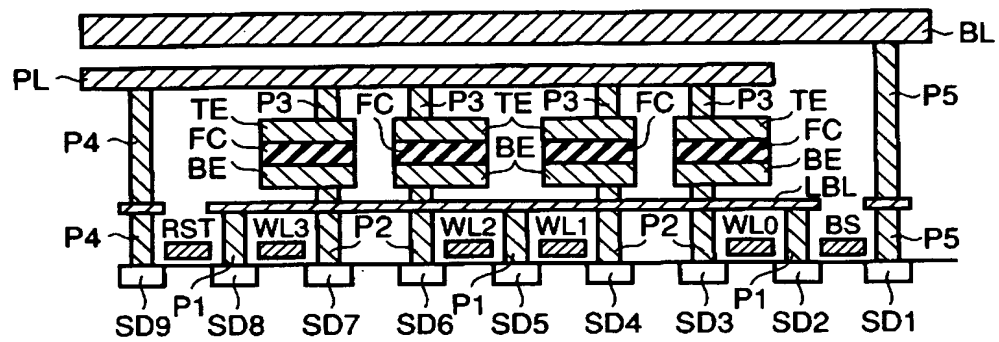
【図 15】



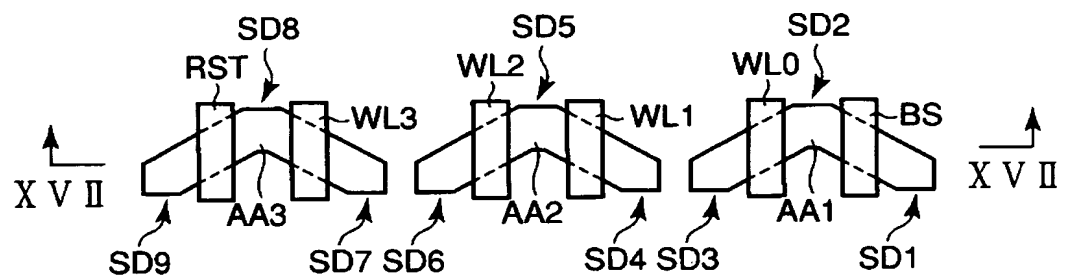
【図 16】



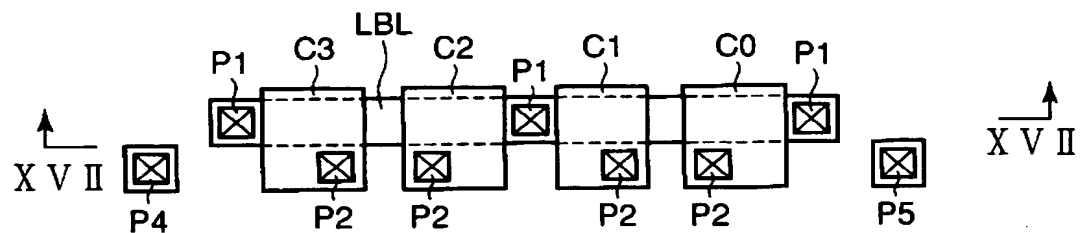
【図 17】



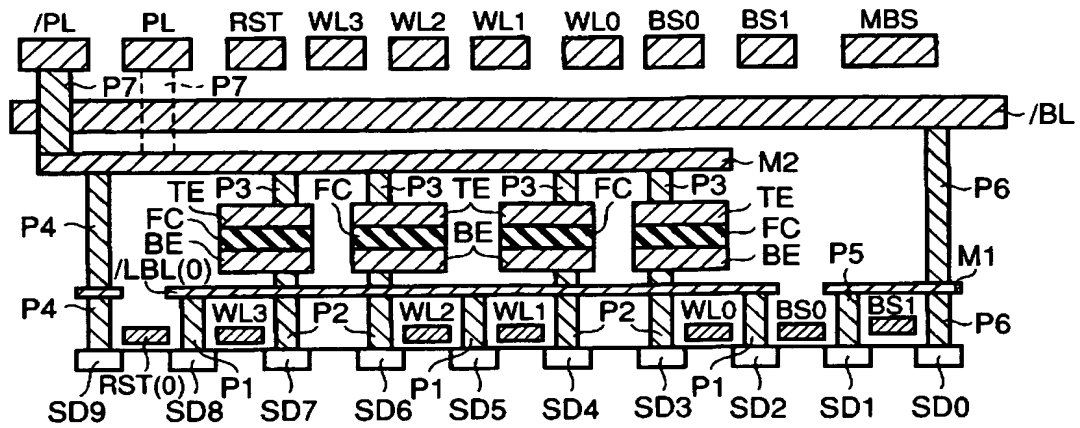
【図 18】



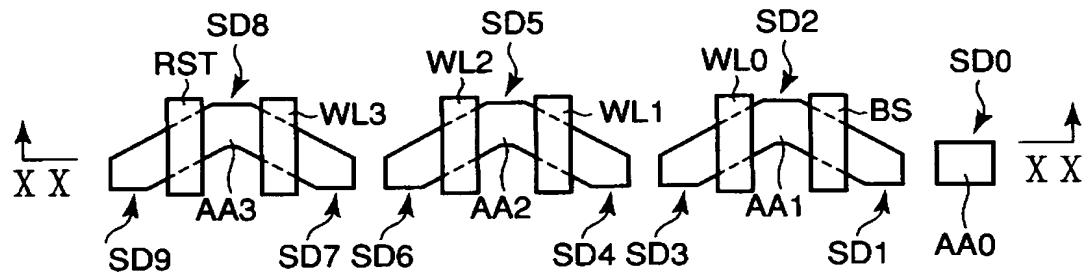
【図 19】



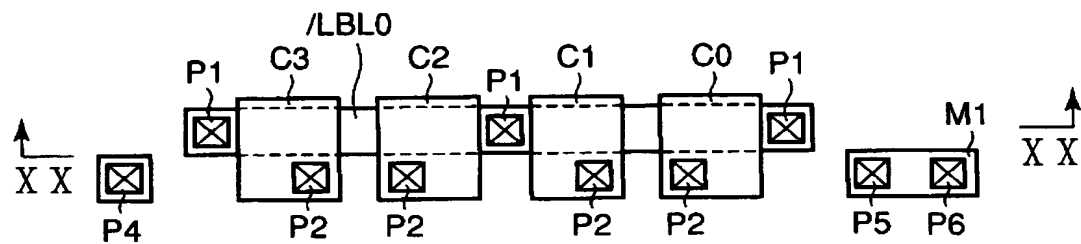
【図 20】



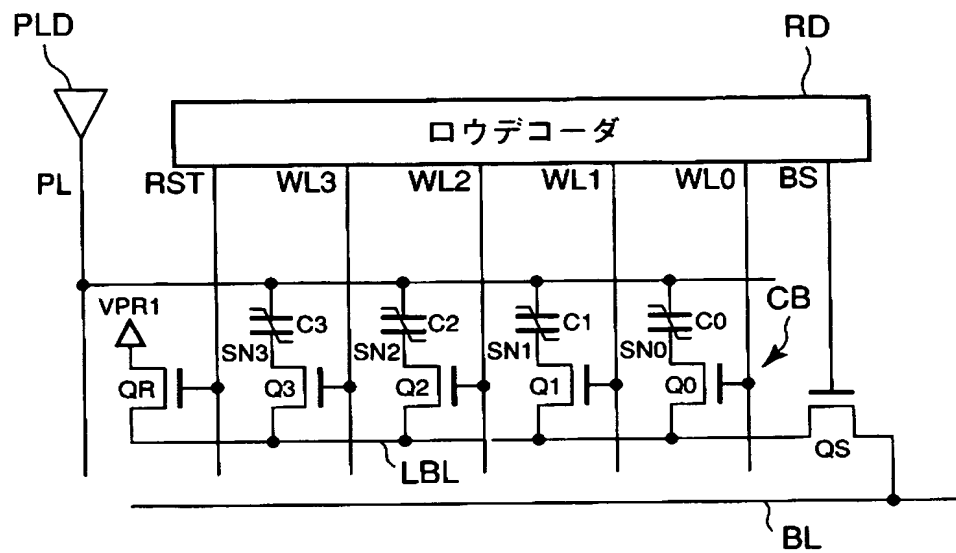
【図 21】



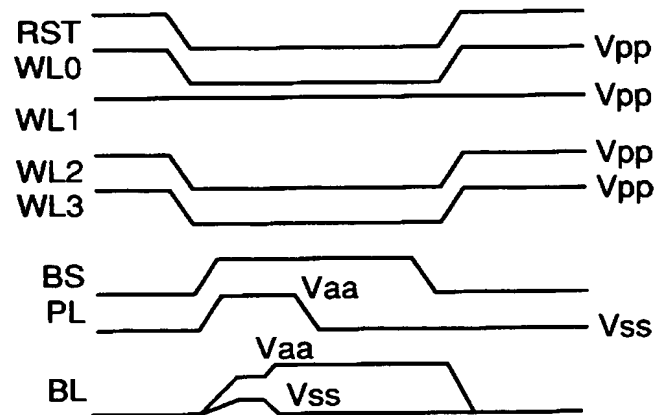
【図 22】



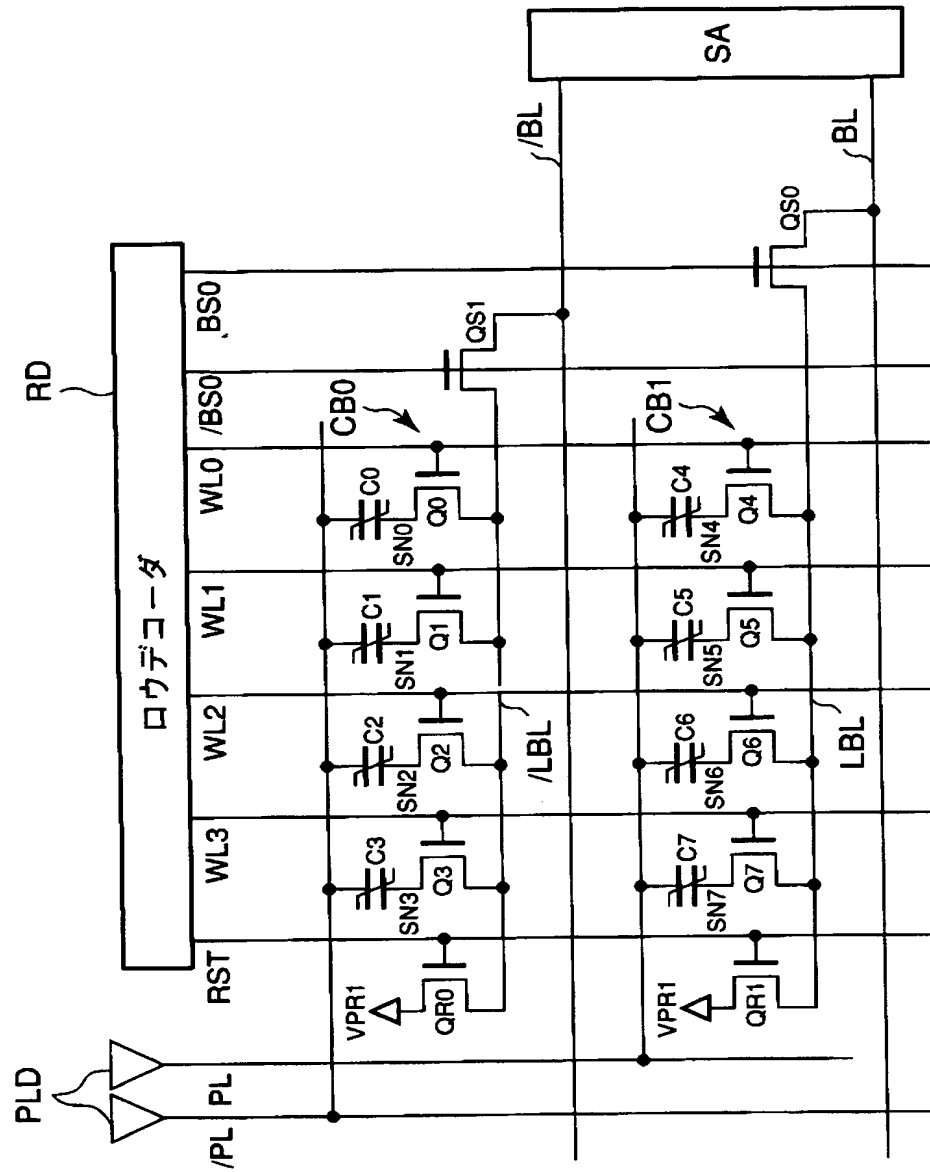
【図 27】



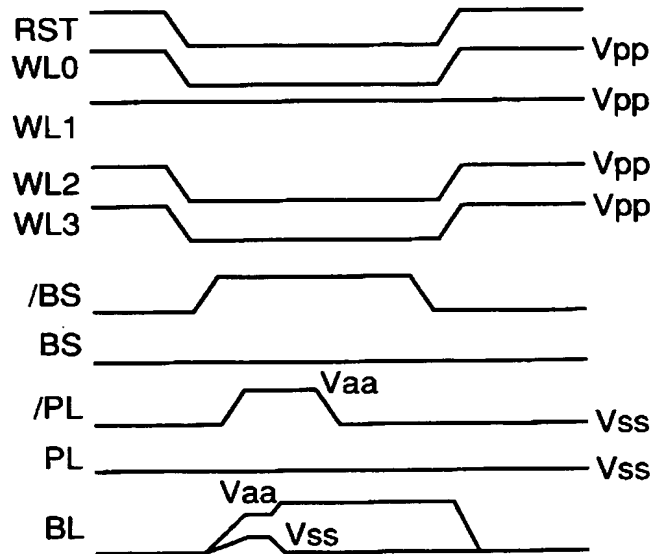
【図 28】



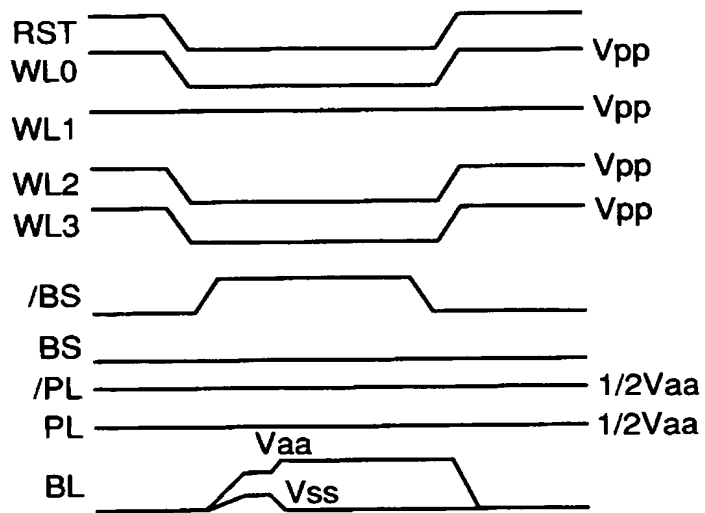
【図 29】



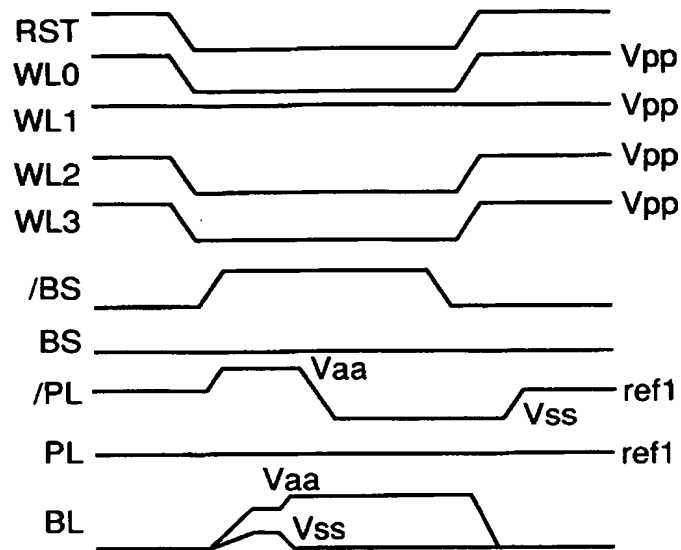
【図 30】



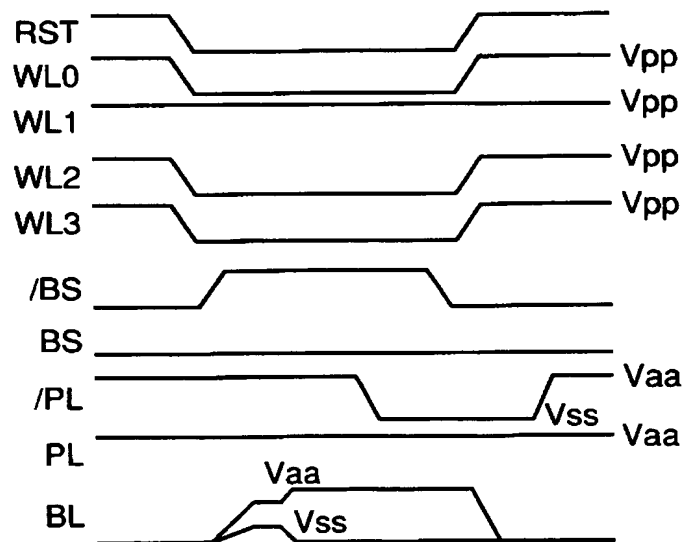
【図 31】



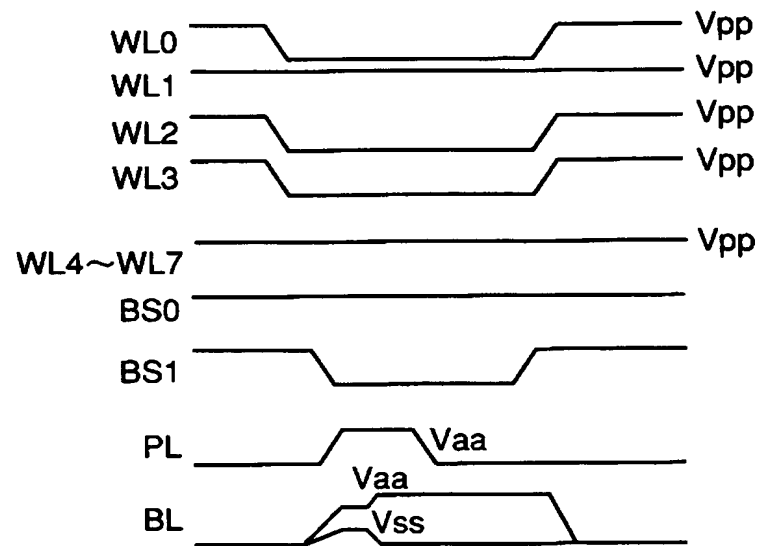
【図 3 2】



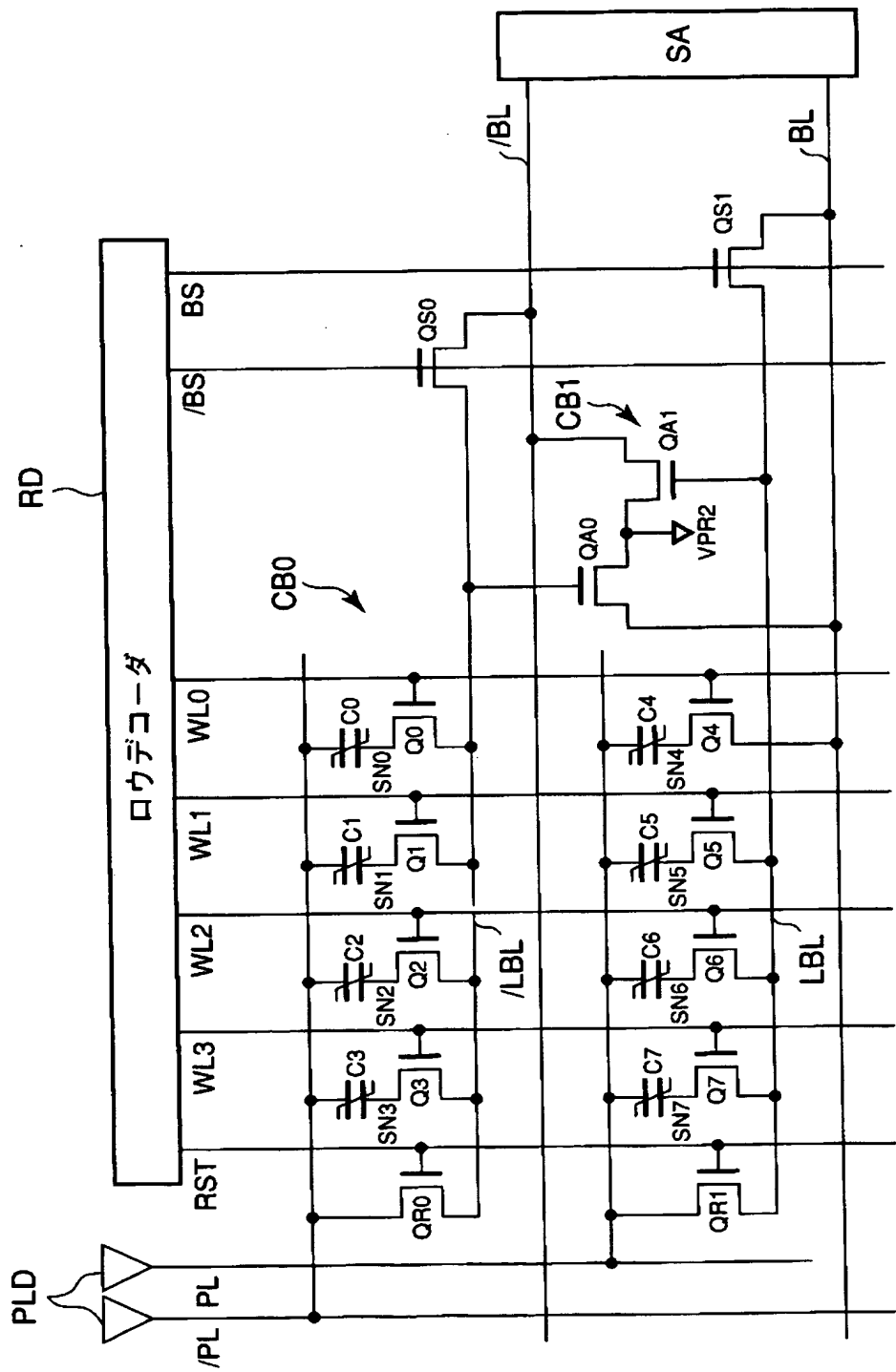
【図 3 3】



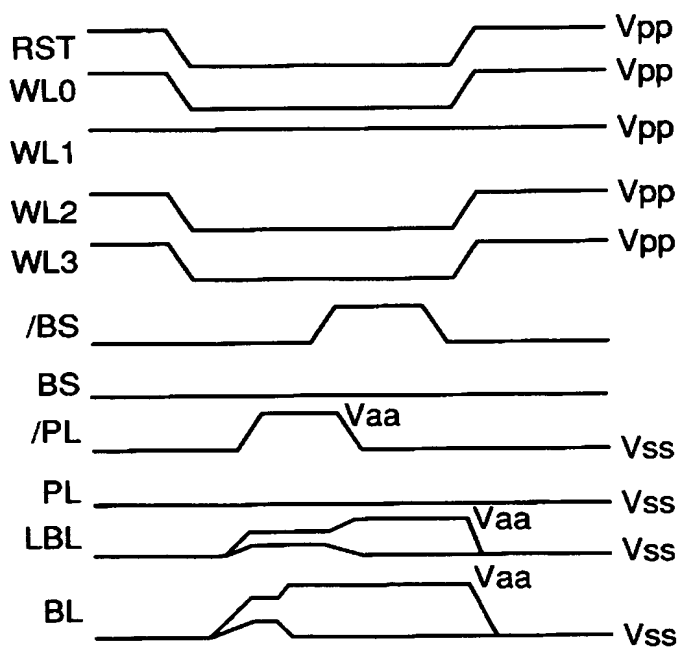
【図 35】



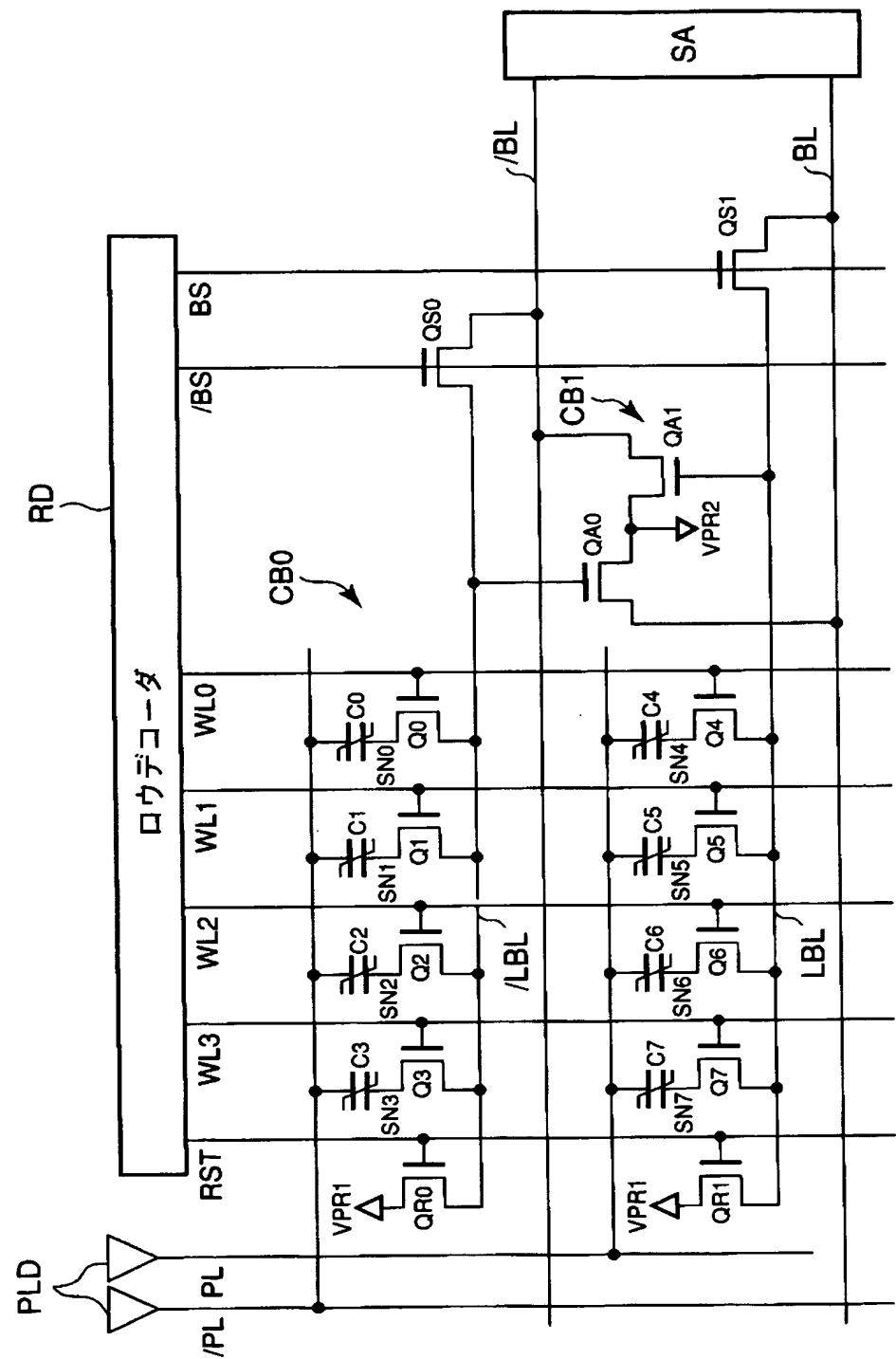
【図 36】



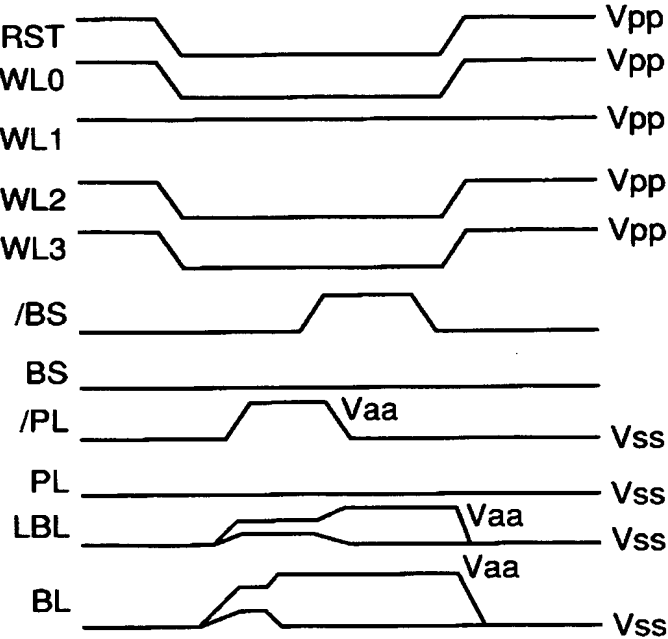
【図 37】



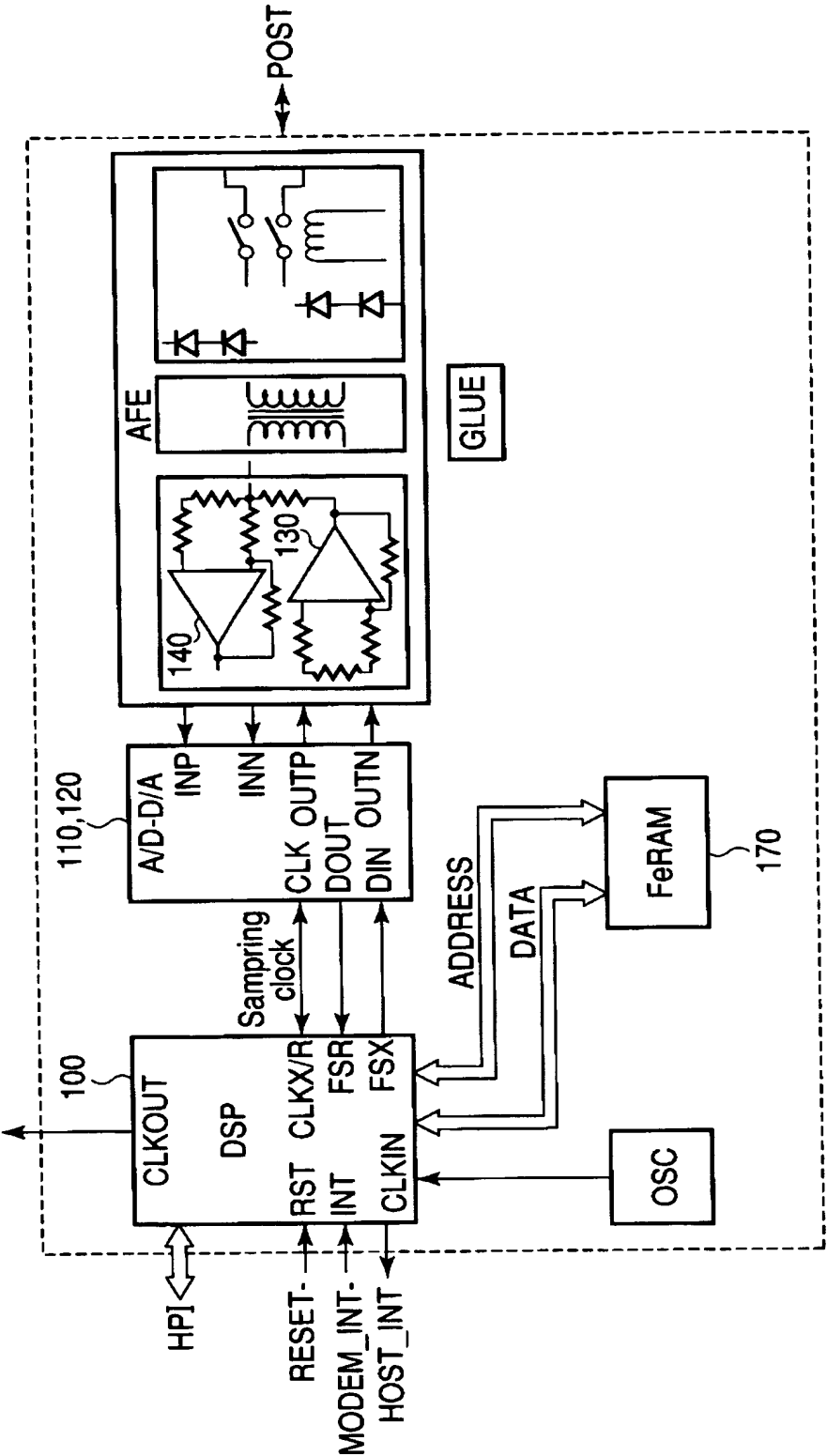
【図 38】



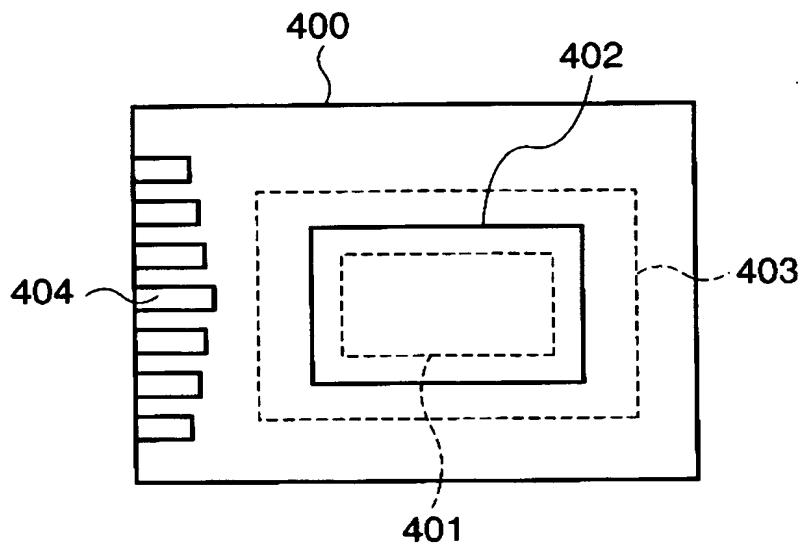
【図 39】



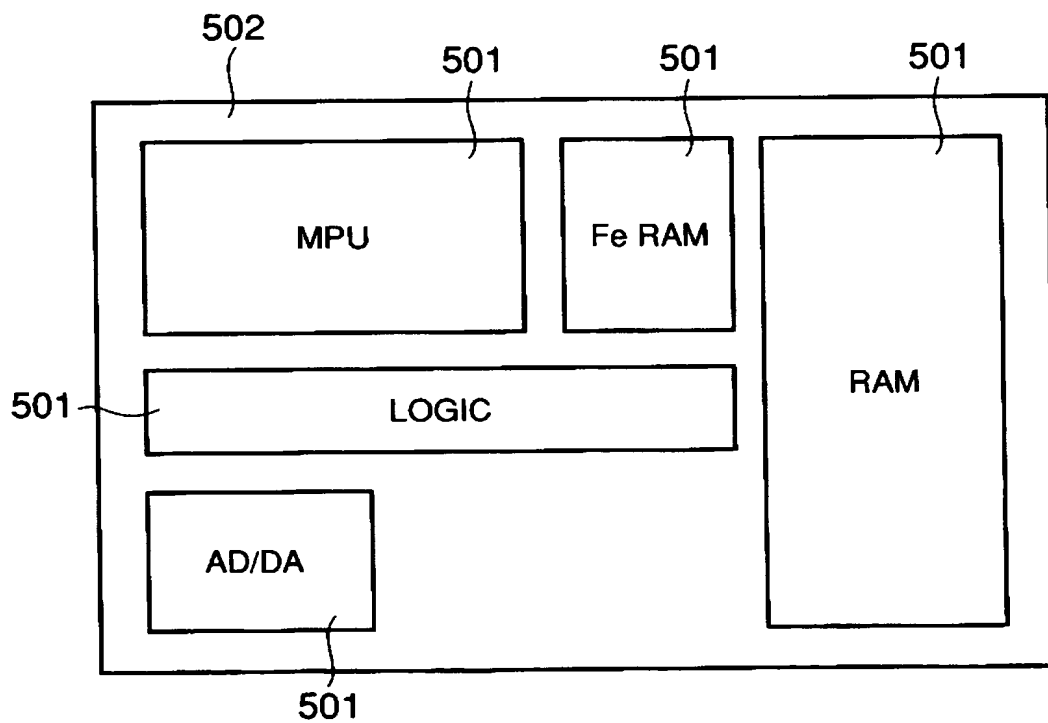
【図 40】



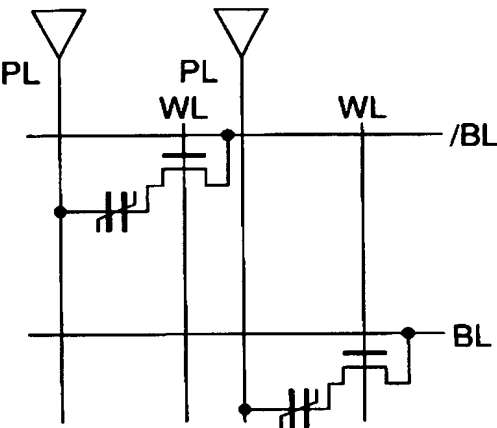
【図 4 2】



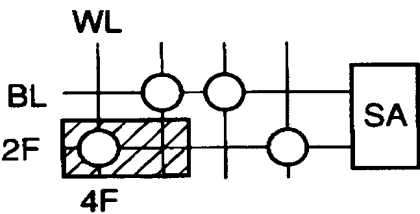
【図 4 3】



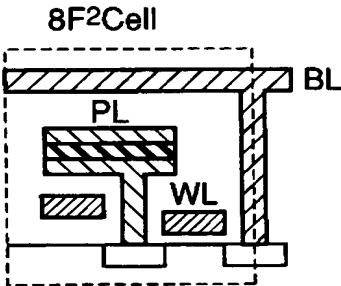
【図 4 4】



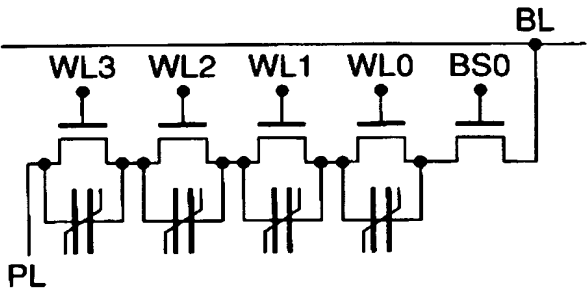
【図 4 5】



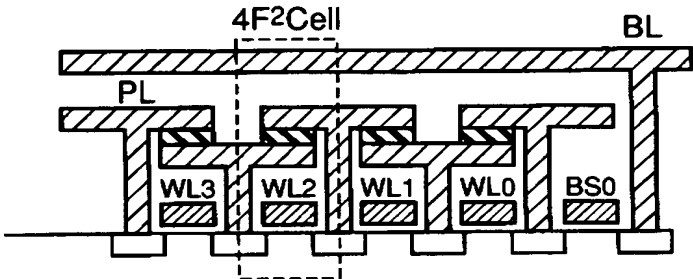
【図 4 6】



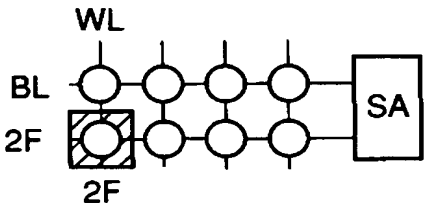
【図 5 0】



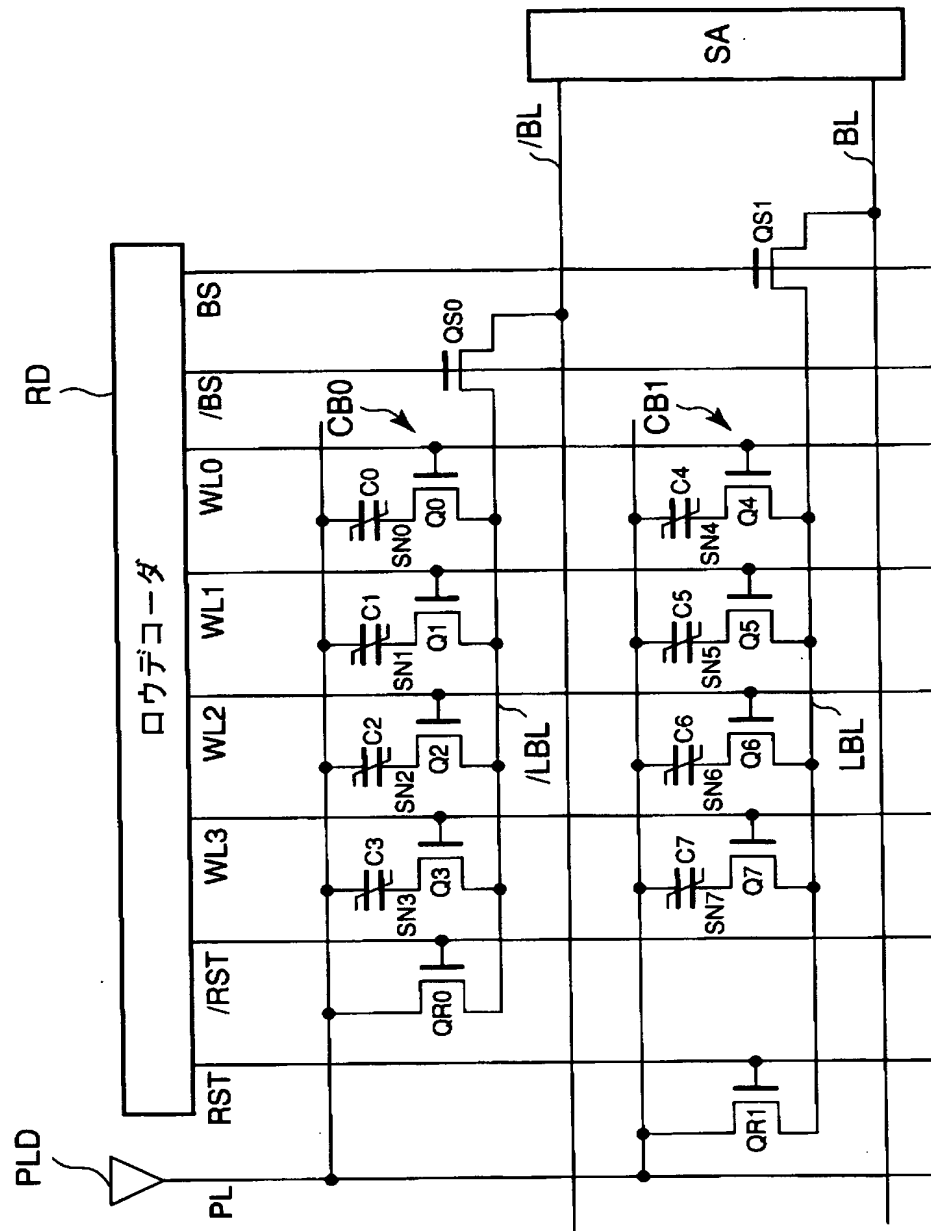
【図 5 1】



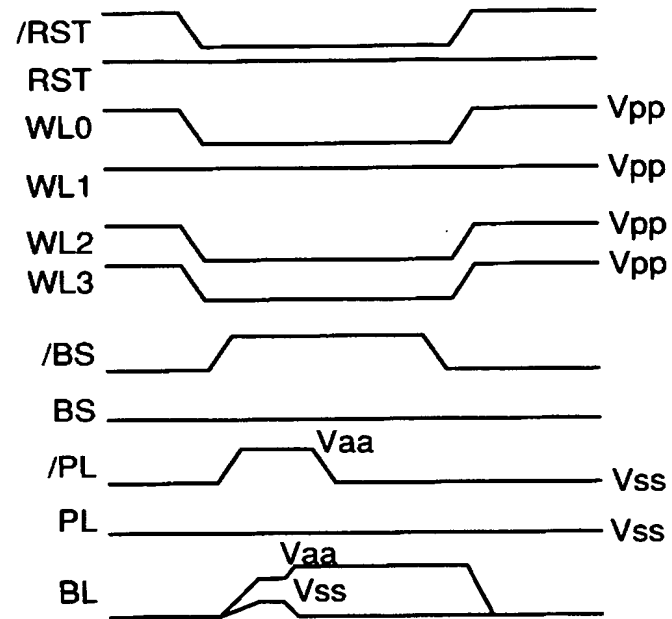
【図 5 2】



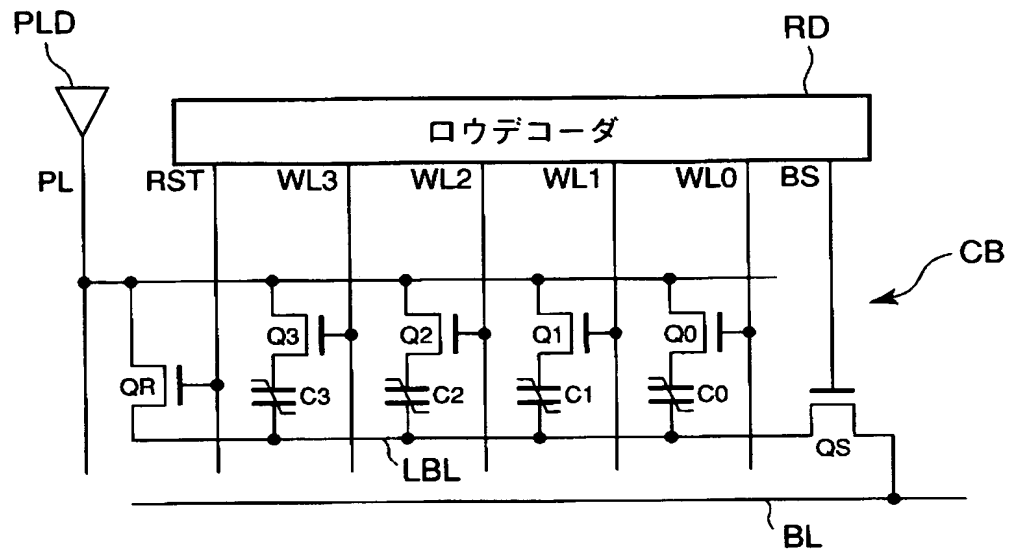
【図 53】



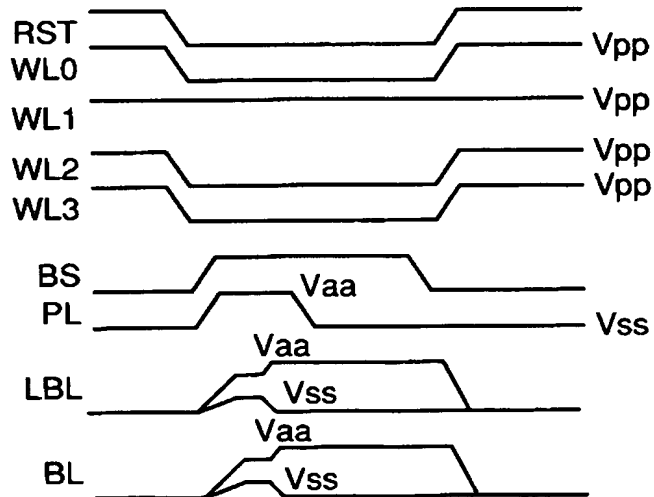
【図 54】



【図 55】



【図 56】



【書類名】 要約書**【要約】**

【課題】 ある程度の小さいメモリセルを実現しつつ、プレート線を共有化でき、且つメモリセルの直列接続による遅延を無くして高速動作が可能な半導体集積回路装置を提供する。

【解決手段】 半導体集積回路装置は、それぞれが、ゲート端子をワード線と接続されたセルトランジスタ $Q_0 \sim Q_3$ と、セルトランジスタのソース端子に一端を接続された強誘電体キャパシタ $C_0 \sim C_3$ と、を具備する複数の第 1 メモリセルを具備する。複数の第 1 メモリセルのそれぞれのセルトランジスタのドレイン端子を第 1 ローカルビット線 LBL とし且つそれぞれの強誘電体キャパシタの他端を第 1 プレート線 PL として、第 1 リセットトランジスタは、ソース端子を第 1 プレート線と接続され、且つドレイン端子を第 1 ローカルビット線と接続される。第 1 ブロック選択トランジスタ QS は、ソース端子を第 1 ローカルビット線と接続され、且つドレイン端子を第 1 ビット線と接続される。

【選択図】 図 1

特願 2 0 0 3 - 3 2 9 8 5 1

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 3 0 7 8]

1. 変更年月日
[変更理由]

住 所
氏 名

2 0 0 1 年 7 月 2 日

住所変更

東京都港区芝浦一丁目 1 番 1 号
株式会社東芝